

ذواكر تغيير الطور مستقبل جديد للذواكر في المعالجات المضمنة

م. رازن عقباتي*

(تاريخ الإبداع ٢٠٢٤/٣/١٢ . قبل للنشر في ٢٠٢٥/١/١٤)

□ ملخص □

تعد ذواكر تغيير الطور (PCM) Phase-Change Memory في يومنا هذا واحدة من أكثر الذواكر المهمة وغير المتطايرة (NVM) Non-Volatile Memories، والتي تتمتع بأداء أفضل مقارنة بالذواكر الومضية (Flash Memory)، حيث توفر مجموعة واسعة من الميزات المثيرة للاهتمام مثل الوصول السريع للقراءة والكتابة، وإمكانات التوسعة الممتازة، وقدرة تحمل عالية (القيمة الأعظمية للتيار المار في خلية الذاكرة دون حدوث ضجيج).

سوف نقوم في بحثنا بمقارنة ذاكرة تغيير الطور مع الذاكرة الومضية، ونعرض خلية ذاكرة تغيير الطور (PCM) الجديدة وتكاملها مع محدد MOSFET selector في تقنية CMOS القياسية 0.18 ميكرو متر. سوف نقوم ببناء نموذج لذاكرة PCM، والحصول على نتائج المحاكاة بعد التطبيق على برنامج Multisim، وسيتم التحقيق من الأداء العالي لخلايا PCM ومناقشة تطبيقها في الأنظمة المضمنة، وقياس أوقات الكتابة حيث تصل إلى قيم منخفضة تصل إلى 10ns و 20ns لعمليتي إعادة الضبط RESET والضبط SET على التوالي. وسنقوم بتقييم تأثير نبضة RESET على قدرة تحمل خلايا PCM. الكلمات المفتاحية: ذواكر تغيير الطور، ذواكر ومضية، محدد MOSFET، Multisim.

*عضو هيئة فنية في كلية هندسة تكنولوجيا المعلومات والاتصالات في جامعة طرطوس، قسم النظم الحاسوبية والالكترونية _ جامعة طرطوس_ سوريا.

Phase-Change Memory is the future of memories in embedded processors

Eng. Razan Akabati*

(Received 12/3/2024 . Accepted 14/1/2025)

□ ABSTRACT □

Phase-Change Memory (PCM) is today the most important among innovative back-end non-volatile memory technologies (NVM), having the potentiality to improve the performance compared to Flash.

PCM provides a wide set of interesting features such as fast read and write access, excellent scalability potential, and high endurance.

In this paper, we compare between PCM and flash memory, a novel μ _trench Phase-Change Memory (PCM) cell and its integration with a MOSFET selector in a standard 0.18 μ m CMOS technology are presented.

We will build a model of PCM memory, and get the simulation results after applying to Multisim software, the high-performance capabilities of PCM cells are investigated and their application in embedded systems is discussed. Write times as low as 10 ns and 20 ns have been measured for the RESET and SET operation, respectively, still granting a 10x read margin. The impact of the RESET pulse on PCM cells endurance has been also evaluated.

Keywords: Phase-Change Memory (PCM), flash memory, MOSFET selector, Multisim.

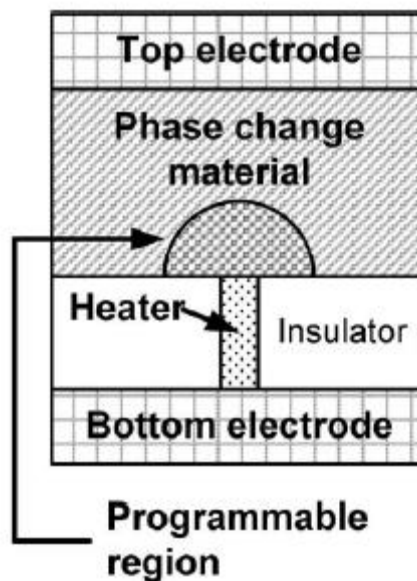
*Engineer in the Department of Computer and Electronic Systems Engineering _ Faculty of Information and Communications Technology Engineering_ Tartous University_ Syria.

١- المقدمة:

ذاكرة تغيير الطور PCM هي نوع من ذواكر الوصول العشوائي غير المتطايرة التي تقوم بتخزين البيانات عن طريق تغيير حالة المادة المستخدمة بين الحالتين غير المتبلورة والبلورية، خلية PCM هي في الأساس مقاومة لمادة الكالكوجينيد ذات الأغشية الرقيقة ($\text{Ge}_2\text{Sb}_2\text{Te}_5 - \text{GST}$) مع مقاومة مجال منخفض تتغير بالاعتماد على حالة الطور لـ GST في المنطقة النشطة (أي، بلوري أو غير متبلور) [1]. في الذاكرة، يتم قراءة الخلية عند الانحياز المنخفض. تتطلب البرمجة بدلاً من ذلك تياراً كبيراً نسبياً، من أجل تسخين GST ويؤدي إلى تغيير الطور حرارياً. وبالتالي يمكن تحقيق تحولات الطور بسهولة من خلال تطبيق نبضات الجهد بسعات مختلفة وبفترات في نطاق أعشار النانو ثانية [2].

في الحالة غير المتبلورة (amorphous) تتمتع المادة الموجودة في ذاكرة PCM بمقاومة كهربائية عالية. أما في الحالة البلورية (crystalline) تكون المقاومة أقل. وبالتالي يُسمح بتشغيل وإيقاف التيار الكهربائي لتمثيل الحالات الرقمية 1,0.

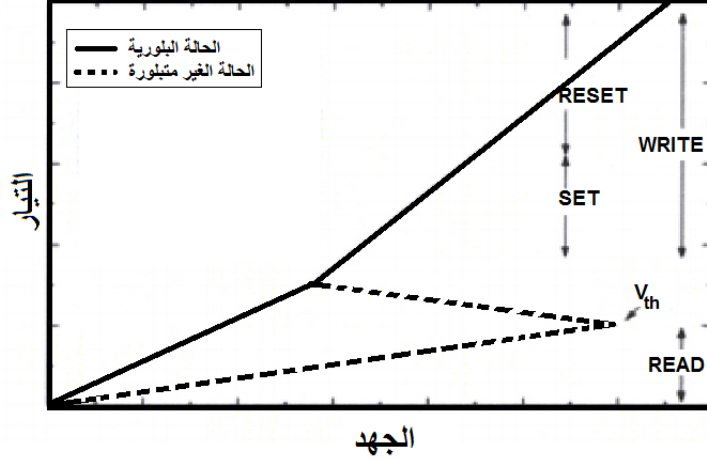
يوضح الشكل (1) خلية PCM واحدة. يستخدم PCM تباين المقاومة الكبير بين المراحل البلورية (المقاومة المنخفضة) والمراحل غير المتبلورة (المقاومة العالية) لمادة تغيير الطور [3].



الشكل (1) بنية خلية ذاكرة تغيير الطور [3]

تشير حالة ضبط set وإعادة ضبط reset خلية PCM إلى حالة المقاومة المنخفضة والعالية، على التوالي، تكون مادة تغيير الطور في الحالة البلورية منخفضة المقاومة، لإعادة خلية PCM إلى المرحلة غير المتبلورة (Reset state)، يتم أولاً إذابة منطقة البرمجة، ثم يتم إخمادها بسرعة عن طريق تطبيق نبضة تيار كهربائي كبير لفترة زمنية قصيرة. يؤدي القيام بذلك إلى ترك منطقة من مادة غير متبلورة وعالية المقاومة في خلية PCM. هذه المنطقة غير المتبلورة متسلسلة مع منطقة بلورية من PCM. لضبط خلية PCM في الطور البلوري (Set state)، يتم تطبيق تيار كهربائي متوسط على منطقة البرمجة عند درجة حرارة بين درجة حرارة التبلور ودرجة حرارة الانصهار لفترة زمنية طويلة بما يكفي للتبلور.

لقراءة منطقة البرمجة (Read state)، يتم قياس مقاومة الخلية عن طريق تمرير تيار كهربائي صغير لضمان عدم تغيير الحالة الحالية. تم توضيح حالات المادة في الشكل (2).



الشكل (2) حالات المادة متغيرة الطور

كان التحدي الرئيسي لتكنولوجيا PCM في العقد الماضي ينحصر بعدم القدرة على الاحتفاظ بالبيانات عند درجات الحرارة المرتفعة، ولا سيما في التطبيقات الصناعية والسيارات [4]. أظهر استكشاف وهندسة السبائك الجديدة أن PCM يمكنه الاحتفاظ بالمعلومات حتى درجات حرارة أعلى من 200 درجة مئوية. أظهرت شركة STMicroelectronics قدرة مادة تعتمد على GeSbTe تسمى "T-alloy" على منح الاحتفاظ بالبيانات لمدة ساعة واحدة عند درجة حرارة 240 درجة مئوية دون فقدان البيانات [5]. نظراً لأن هذه النتيجة متوافقة مع مواصفات السيارات والملف الحراري (وفقاً لمعايير JEDEC)، فإنها تفتح الطريق أمام PCM نحو الأنظمة المضمنة.

٢- مشكلة البحث:

لقد تم دراسة التحول بين الحالة البلورية وغير المتبلورة في مواد الكالكوجينيدات، واستخدام هذا التحول في تقنيات الذواكر لسنوات عديدة، إلا أنه في السنوات العشر الماضية فقط سمح التقدم في التكنولوجيا لهذه المواد في إظهار ذواكر تغيير الطور كذواكر منافسة للذواكر الوميضية. وسيؤدي ظهور هذه الذواكر إلى حدوث تغيير جذري في التكنولوجيا ولاسيما في مجال النظم المضمنة. كان لابد لنا في بحثنا من مقارنة هاتين الذاكترتين، وإظهار أهمية استخدام ذواكر PCM لما لها من إيجابيات.

٣- هدف البحث:

مع ازدياد الاهتمام بالنظم المضمنة، اتجه مصممو هذه النظم إلى دراسة طرق لتحسين استهلاك الطاقة وسرعة النظام، واتجهت البحوث باتجاه ذواكر تغيير الطور كبديل عن الذواكر في النظم التقليدية لما لها من مميزات.

وبما أن الذواكر تعد من أهم الأجزاء التي تستهلك طاقة في المعالجات الحديثة، كما أننا نهتم بها من ناحية سرعة النظام، بات الاستخدام الأمثل للذواكر في هذه النظم مجالاً مهماً للبحث والدراسة.

الهدف من بحثنا هو مناقشة جدوى استخدام ذواكر تغيير الطور لتطبيقات النظم المضمنة، حيث سيتم مناقشة قدرات البرمجة لخلية PCM تستخدم محدد MOSFET ودراسة أزمنة الكتابة والقراءة مع الاحتفاظ بالبيانات لفترات طويلة عند درجة حرارة عالية نسبياً.

ويتم أيضاً في بحثنا التأكد من فعالية خلية PCM باستخدام مصفوفة 4Mbit .

٤- أهمية البحث:

مع التقدم الكبير في تكنولوجيا الذواكر كان لابد في دراستنا إلى الاهتمام بذاكر PCM، والتي هي واحدة من أكثر المرشحين للجيل التالي من الذواكر الغير متطايرة NVM، والتي تتمتع بأداء أفضل مقارنة بالذواكر الوميضية.

ذواكر PCM هي ذواكر غير متطايرة تقوم بتخزين البيانات عن طريق الانتقال بين الحالة البلورية والحالة الغير متبلورة، وكان التحدي الأساسي لهذه الذواكر في العقد الماضي هو عدم القدرة على الاحتفاظ بالبيانات عند درجات الحرارة المرتفعة، ولكن تم حل هذه المشكلة بالاعتماد على هندسة المواد.

٥- فرضيات البحث:

دراسة وتصميم خلية PCM باستخدام مصفوفة 4Mbit ومقارنتها مع الذاكرة الوميضية. فهل من الممكن بالاعتماد على النتائج التجريبية على البنية التي طرحتها شركة STMicroelectronics استبدال الذواكر في النظم المضمنة بذاكر PCM التي تتمتع بالأداء الأفضل؟

٦- منهجية البحث:

سنبدأ بحثنا بمقدمة تعريفية بذاكر PCM الحديثة، ثم سنقارن بين ذاكرة تغيير الطور والذاكرة الوميضية، ثم سنحدد الطريقة التي سنبنى بها جهاز PCM مع محدد MOSFET وذلك للحصول على النتائج ومناقشة هذه النتائج للوصول إلى الاستنتاجات والتوصيات.

٧- المقارنة بين ذاكرة تغيير الطور والذاكرة الوميضية

تتمتع ذواكر تغيير الطور بوقت التبدل وقابلية توسع يجعلها أكثر أهمية. ربما تكون حساسية ذواكر تغيير الطور تجاه درجات الحرارة أبرز عيوبها، والتي قد تتطلب تغييرات من قبل الشركات المصنعة لتكنولوجيا النظم المضمنة، هذه المشكلة التي تم التغلب عليه بفضل تكنولوجيا المواد الجديدة.

تعمل الذاكرة الوميضية عن طريق تعديل الشحنة (الإلكترونات) المخزنة داخل بوابة ترانزستور الأثر الحثي للأكاسيد المعدنية لأنصاف النواقل (MOS). تبنى البوابة باستخدام «مكدس» خاص مصمم لاحتجاز الشحنات (إما على البوابة أو في «حواجز» عازلة). يؤدي وجود شحنة داخل البوابة إلى تغيير جهد عتبة الترانزستور، V_{th} ، زيادته أو انقاصه، ليقابل القيم 1 أو 0 مثلاً. يتطلب تغيير حالة البتات إلى إزالة الشحنة المتراكمة، ما يتطلب جهداً كبيراً نسبياً لإزالة الإلكترونات من البوابة. ويتم تأمين هذا الجهد باستخدام مضخة شحن، وتستغرق بعض الوقت لتجميع الطاقة. تكون أوقات الكتابة العامة لأجهزة الفلاش الشائعة في حدود 100 ميكرو ثانية (لكثلة بيانات)، أي نحو 10000 ضعف وقت القراءة المعتاد البالغ 10 نانوثانية، لذاكرة الوصول العشوائي الساكنة مثلاً (بالنسبة للبايت)[6].

يمكن أن تقدم ذواكر تغيير الطور أداءً أعلى بكثير في التطبيقات التي تحتاج كتابة سريعة، وذلك لأنه يمكن تبديل عنصر الذاكرة بسرعة أكبر، ولأنه يمكن أيضاً تغيير البتات المفردة إلى 1 أو 0 دون الحاجة إلى محو كتلة كاملة من الخلايا أولاً. مما يجعل الأداء عالي وأسرع بألاف المرات من محركات الأقراص الثابتة التقليدية.

بالإضافة إلى ذلك، تسبب كل دفعة جهد عبر الخلية في الذواكر الوميضية تلفاً في الخلية. ومع انخفاض حجم الخلايا، يزداد التلف الناتج عن البرمجة، فتتحمل الذاكرة الوميضية 5000 عملية كتابة فقط لكل قطاع. تتلف ذواكر تغيير الطور أيضاً مع الاستخدام، ولكنها تتلف ببطء أكبر. قد تتحمل ذاكرة تغيير الطور نحو 100 مليون دورة كتابة. ويحدث التلف في ذواكر تغيير الطور بسبب التمدد الحراري للجرمانيوم-الأنثيمون-التيلوريوم في أثناء البرمجة، وأسباب أخرى ما تزال غير معروفة [7].

يمكن برمجة الذواكر الوميضية قبل لحمها على اللوحة، أو يمكن حتى شراؤها مبرمجة مسبقاً. ولكن، تفقد ذواكر تغيير الطور محتوياتها بسبب درجات الحرارة المرتفعة اللازمة للحم الجهاز باللوحة. وما يزيد الأمر سوءاً هو التوجيه الحديث إلى التصنيع الخالي من الرصاص الذي يتطلب درجات حرارة لحام أعلى. يجب أن توفر الشركة المصنعة التي تستخدم أجزاء ذواكر تغيير الطور آلية لبرمجة الذواكر «داخل النظام» بعد لحمها في مكانها [8].

تسرب البوابات الخاصة المستخدمة في الذاكرة الوميضية شحنات (الإلكترونات) مع مرور الوقت، ما يتسبب في تلف البيانات وفقدانها. تعد مقاومة عنصر ذاكرة تغيير الطور أكثر استقراراً؛ فمن المتوقع أن تحتفظ بالبيانات لمدة 300 عام عند درجة حرارة العمل العادية البالغة 85 درجة مئوية.

يمكن لخلايا الذاكرة الوميضية تخزين عدة بتات (عادةً اثنين) في كل خلية مادية، عن طريق تعديل كمية الشحنة المخزنة على البوابة بدقة. في الواقع، يضاعف هذا من كثافة الذاكرة، ويقلل من التكلفة. تخزن ذواكر تغيير الطور أصلاً بت واحد فقط في كل خلية، لكن أزلت التطورات الأخيرة التي حققتها شركة إنتل هذه المشكلة [9]، حيث أنه هذه المرة الأولى في التاريخ التي يتمكن فيها أحدهم من تخزين ثلاثة مستويات في الخلية أي ثلاث بتات بالخلية في مصفوفة الذاكرة متغيرة الطور.

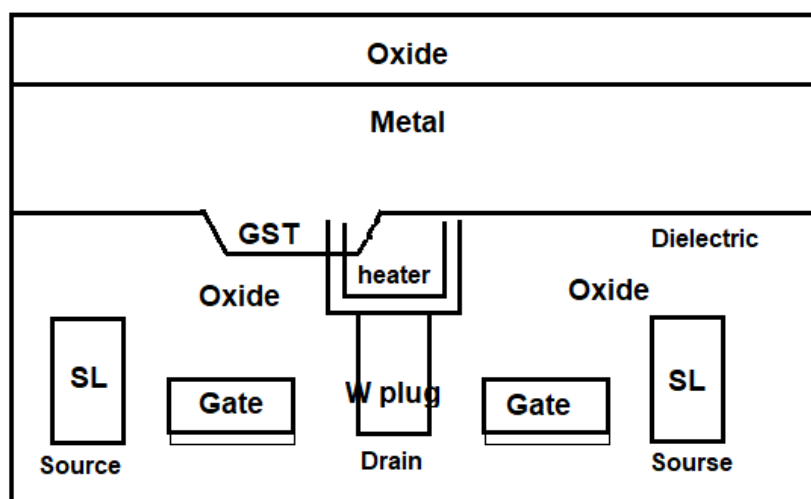
تعد أجهزة الذاكرة الوميضية عرضة لتلف البيانات بسبب الإشعاع، نظراً لأنها تحجز الإلكترونات لتخزين المعلومات، ما يجعلها غير مناسبة للعديد من التطبيقات الفضائية والعسكرية. تظهر ذواكر تغيير الطور مقاومة أعلى للإشعاع.

٨- بنية الجهاز

يمكن في ذواكر تغيير الطور أن تستخدم محددات selector مختلفة مثل: الديود والترانزستور ثنائي القطب و MOSFET. يوفر استخدام الديود أو الترانزستور ثنائي القطب أكبر كمية من التيار لحجم خلية معين. ولكن يفضل استخدام الترانزستور ثنائي القطب أو MOSFET لأنه توجد مخاوف بشأن استخدام الديود بسبب التيارات الطفيلية على الخلايا المجاورة، بالإضافة إلى متطلبات الجهد العالي، التي تؤدي إلى زيادة استهلاك الطاقة.

يوضح الشكل (3) بنية تخطيطية لخلية PCM باستخدام محدد MOSFET. تم استخدام خلية PCM وإضافة بعض الوحدات الخاصة مثل المسخن heater، بين النهايتين الأمامية والخلفية للخط FEOL(front-end-of-the-line) و BEOL (back-end-of-the-line) (الموضحة في الجدول (1)). يتم تحديد منطقة الاتصال بين المسخن و GST من خلال تقاطع مسخن عمودي رفيع مع خندق يسمى "μtrench" ويوضع في GST، للحفاظ على تيار البرمجة منخفضاً [10].

بحيث أن مصطلح النهاية الأمامية للخط (FEOL) يشير إلى الجزء الأول من أي عملية تصنيع للدارات المتكاملة IC حيث يتم نقش الأجهزة الفردية (الترانزستورات والمكثفات والمقاومات وما إلى ذلك) في أنصاف النواقل، والنهاية الخلفية للخط (BEOL) تشمل على الترسيب اللاحق لطبقات الترابط المعدنية. وبالتالي، فإن BEOL هو الجزء الثاني من عملية تصنيع الدائرة المتكاملة حيث يتم ربط الأجهزة الفردية مع الأسلاك عن طريق ترسيب الطبقات المعدنية.



الشكل (3) بنية تخطيطية لخلية PCM باستخدام محدد MOSFET
الجدول (1) بنية PCM بين النهايتين الأمامية والخلفية

Blocks	Modules
FEOL	ST1
	Wells implantation
	MOSFET defination
	Salicide formation
PCM formation	Pre-contact
	Heater defination
	μtrench
	Metal0 (AlCu/GST)
BEOL	Contact/Via0
	Metal1
	Via1

	Metal2
	Passivation&Pad

تتوافق بنية PCM هذه تماماً مع استخدام محدد MOSFET. تم اختيار عملية CMOS 0.18 ميكرو متر مع ترانزستورات لتتكامل خلية PCM لإثبات التوافق الكامل لـ PCM مع تقنية CMOS القياسية. تعتمد البنية الأساسية على عزل الخندق ، والبوابة المزدوجة بسلك أكسيد يبلغ 7 نانومتر والمعدن Al/Cu. يمكن دمج خلية PCM بسهولة مع الحد الأدنى من الحمل في تقنية CMOS المتقدمة، وبالتالي فهي مناسبة لتطبيقات الذاكرة الغير متطايرة المضمنة وتمنح تكاليف منخفضة وتقليل تعقيد العملية.

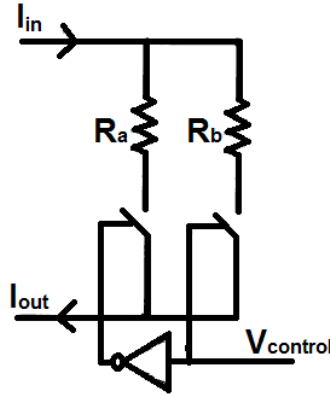
٩- إنشاء نموذج لذاكرة PCM:

سنقوم ببناء نماذج فرعية لوظائف الذاكرة، ثم دمجها بنموذج واحد، ومن ثم المحاكاة للحصول على النتائج.

٩-١ نمذجة مميزة الجهد_التيار:

يمكن ببساطة نمذجة مميزة الجهد-التيار (I-V) لخلية PCM باستخدام المقاومتين R_c و R_a لتمثيل الحالتين البلورية وغير المتبلورة كما هو موضح في الشكل (4).

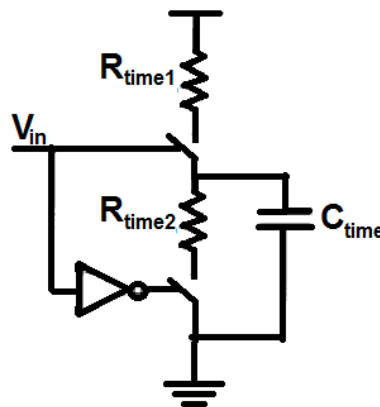
في التشغيل العادي، يُسمح بمسار واحد فقط للتيار، إما عبر R_c أو R_a ، والذي يتم التحكم فيه بواسطة عنصر تحكم بالجهد $V_{control}$. يتم تحديد قيمة $V_{control}$ بواسطة دائرة التخزين التي سيتم وصفها لاحقاً..



الشكل (4) نموذج مميزة الجهد_التيار

٩-٢ دائرة كشف الزمن:

عندما تتغير حالة خلية PCM، فإنها تتطلب وقتاً أطول (100ns) لضمان التبلور الكامل عند التبديل إلى الحالة البلورية، أما للتبديل إلى الحالة غير المتبلورة يلزم نبضة تيار تحتاج زمن أقصر (20ns). يتم اكتشاف مدة النبضة بواسطة الدارة الموضحة في الشكل (5).



الشكل (5) نموذج دائرة كشف الزمن

عند وجود نبضة تيار، يتم تشغيل V_{in} إلى قيمة عالية وسيتم توصيل مصدر الجهد بمكثف (C_{time}) من خلال المقاومة (R_{time1}). بناءً على الوقت الحرج (t_c) المطلوب للتبديل بين الحالات المختلفة، يمكن حساب قيمة المكثف باستخدام العلاقة:

$$C_{time} = \frac{t_c}{R_{time1} \ln\left(\frac{V_{dd}}{V_{dd} - V_{th}}\right)}$$

حيث V_{dd} هو منبع الجهد و V_{th} هو الجهد الهدف الذي يتم شحن C_{time} إليه عند حدوث تغيير في الحالة. في نهاية نبضة التيار تصبح V_{in} بطيئة ويتم تفريغ الشحنة في C_{time} من خلال المقاومة R_{time2} . لضمان تفريغ سريع، يجب أن تكون قيمة R_{time2} أصغر بكثير من R_{time1} ، يتم استخدام الشرط التالي:

$$R_{time1} \gg R_{time2}$$

٣-٩ دائرة حساس درجة الحرارة

تم تصميم دائرة حساس درجة الحرارة لتتبع درجة حرارة خلية PCM وتحديد ما إذا كانت هناك حاجة إلى تغيير الحالة.

نتيجة مرور التيار في خلية PCM تنتج زيادة في درجة حرارة في هذه الخلية. تعطى الطاقة المقدمة للخلية بواسطة العلاقة:

$$W_i = I^2 R$$

حيث I إجمالي التيار المار عبر الخلية و R مقاومة الخلية. يتم فقدان جزء من الطاقة المقدمة إلى الخلية إلى البيئة المحيطة بسبب تبديد الحرارة بسبب فرق درجة الحرارة. وتعطى الطاقة المفقودة بواسطة العلاقة:

$$W_o = \left(\frac{KV}{l^2}\right) \Delta T$$

حيث أن K هي الموصلية الحرارية و V حجم التسخين و l سمك مادة PCM في الخلية. ومن أجل سهولة التصميم افترضنا أن المواد المحيطة بالخلية، بما في ذلك القطب الكهربائي العلوي والسفلي، في درجة حرارة الغرفة بحيث تتدفق الحرارة فقط من الخلية إلى المحيط. ومن أجل معرفة العلاقة بين ΔT وقوة البرمجة (programming power) والزمن، يتم تطبيق معادلة الطاقة التالية

$$E = \int (W_i - W_o) dt = Vc\Delta T$$

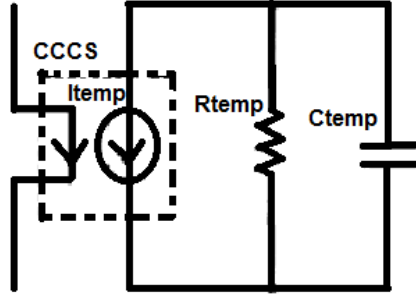
حيث أن C هي الموصلية الحرارية و t هي مدة تيار البرمجة. بعد حل المعادلة التفاضلية، وجد أن ΔT

هي:

$$\Delta T = \frac{l^2}{KT} \{I^2 R - e^{[-\frac{kt}{l^2 c} + \ln(I^2 R)]}\}$$

المعادلة السابقة هي في الواقع معادلة ضمنية حيث يعتمد التيار أيضاً على درجة الحرارة. لحل المعادلة،

يتم استخدام الدارة الفرعية كما هو موضح في الشكل (6) لحساب ΔT .



الشكل (6) نموذج دائرة حساس درجة الحرارة

في الشكل (6) يتم تمثيل درجة حرارة الدارة كجهد V_{temp} ، وهو الجهد عبر المكثف C_{temp} . I_{temp} تمثل الدخل إلى الخلية. وتحل الدارة الفرعية في الشكل (6) المعادلة التفاضلية التالية لإيجاد درجة حرارة الدارة

V_{temp} .

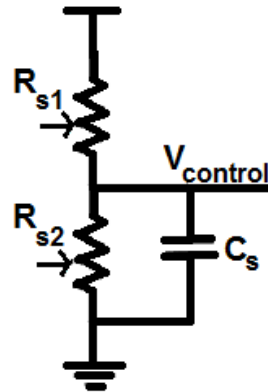
$$\frac{dV_{temp}}{dt} = \frac{I_{temp}}{C_{temp}} - \frac{V_{temp}}{C_{temp} R_{temp}}$$

بحيث أن قيم عناصر الدارة هي:

$$I_{temp} = I^2 R, C_{temp} = VC, R_{temp} = \frac{l^2}{KV}$$

٩-٤ دائرة التخزين الفرعية

تخزن دائرة التخزين الفرعية حالة خلية PCM الناجمة عن دورة درجة الحرارة السابقة. لتقليل التعقيد من الطرق السابقة، يتم استخدام مقاومتين للتحكم في الجهد ومكثف واحد لتنفيذ جزء التخزين كما هو موضح في الشكل (7).



الشكل (7) نموذج دائرة التخزين الفرعية

يمكن تبديل مقاومات التحكم في الجهد R_{S1} و R_{S2} بين مقاومتين مختلفتين. العلاقة بين المقاومة (R) والجهد (V) هي:

$$R_{S1} = R_{low} + \frac{R_{high} + R_{low}}{1 + e^{\frac{V_{th}-V}{h}}}$$

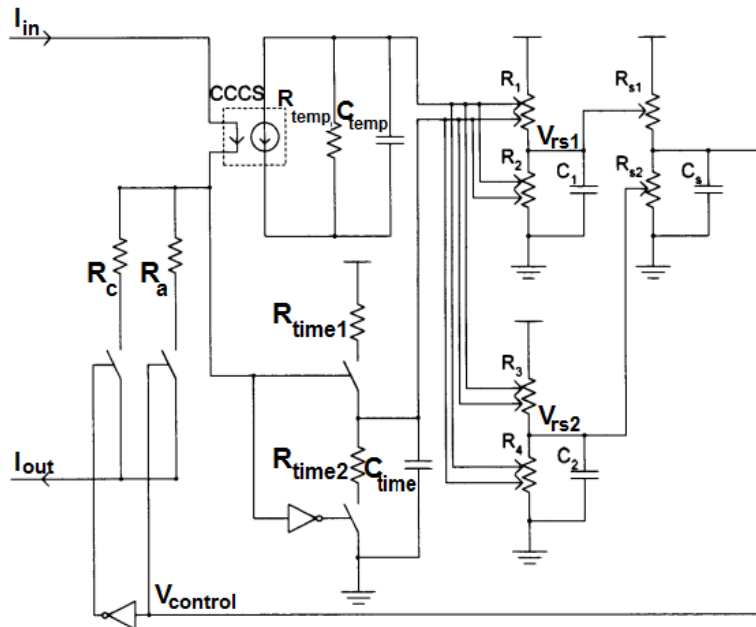
$$R_{S2} = R_{high} + \frac{R_{high} + R_{low}}{1 + e^{\frac{V_{th}-V}{h}}}$$

حيث R_{low} و R_{high} و V_{th} هي أدنى مقاومة وأعلى مقاومة وثابت يتحكم في الانحدار عند التبديل من R_{low} إلى R_{high} .

تتمتع R_{S1} بمقاومة أصغر كثيراً من R_{S2} بالاعتماد على العلاقتين السابقتين. عندما يمر التيار عبر خلية PCM ويحقق شرط الحالة غير المتبلورة ($V_{Sr1} = V_{dd}$) سيتم شحن المكثف C_s . يصبح $V_{control}$ مرتفعاً ويغلق المفتاح المتصل R_a في الدارة الفرعية في الشكل (4). إذا لم يكن هناك حاجة لتغيير الحالة، فإن كلاً من V_{Sr1} و V_{Sr2} يظلان منخفضين. يتم تخزين نتيجة $V_{control}$ بسبب المقاومة العالية للمقاومة R_{S1} على التسلسل مع R_{S2} .

٩-٥ النموذج النهائي

يظهر النموذج الكامل مع جميع الدارات الفرعية مجتمعة في الشكل (8). تم تنفيذ النموذج لاستخدامه في محاكاة خلية ذاكرة PCM.



الشكل (8) النموذج النهائي لذاكرة PCM

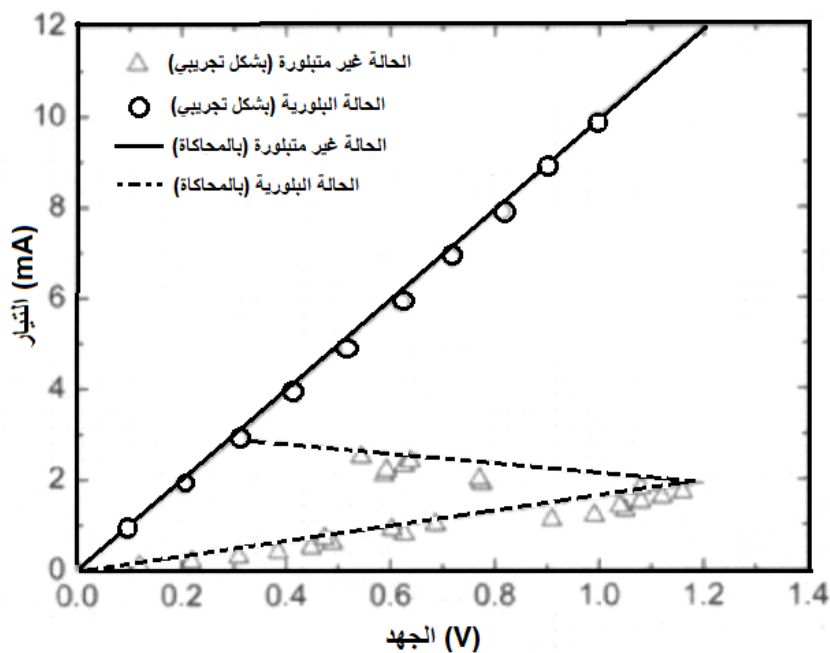
١٠ - نتائج المحاكاة:

لاختبار النموذج، تم إجراء المحاكاة باستخدام برنامج Multisim ومقارنتها ببعض نتائج المعايير. تستند المحاكاة إلى المواصفات التي قدمتها شركة *Ovonyx Inc* [11]. كما هو موضح في الجدول 2.

الجدول (2) مواصفات ذاكرة PCM

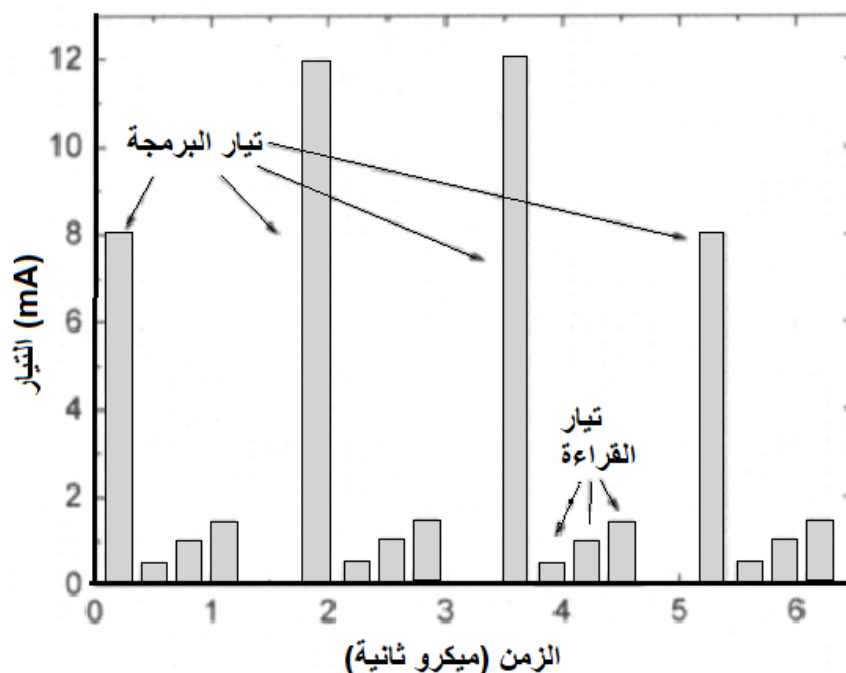
العنصر	الوصف	القيمة
R_c	مقاومة الحالة البلورية	103 ohm
R_a	مقاومة الحالة الغير متبلورة	630 ohm
T_g	درجة الحرارة التي ينتقل عندها الزجاج بين الحالتين	300 °C
T_m	درجة حرارة الانصهار	600 °C
C	الحرارة النوعية لمركب $Ge_2Sb_2Te_5$	$1.25 Jcm^{-1}K^{-1}$
K	الناقلية الحرارية لمركب $Ge_2Sb_2Te_5$	$4.63 * 10^{-3} JcmK^{-1}S^{-1}$
V	حجم مادة PCM	$4.49 * 10^{-13} cm^3$
I	سماكة مادة PCM	$1000 * 10^{-8} cm$

يتم إظهار نتائج المحاكاة لخلية PCM باستخدام البيانات الواردة في الجدول (2) في الشكل (9). يُظهر النموذج سلوكاً صحيحاً مع الحالتين المختلفتين والتبديل بينهما. تم التحقق من أن النموذج يعمل بشكل جيد.



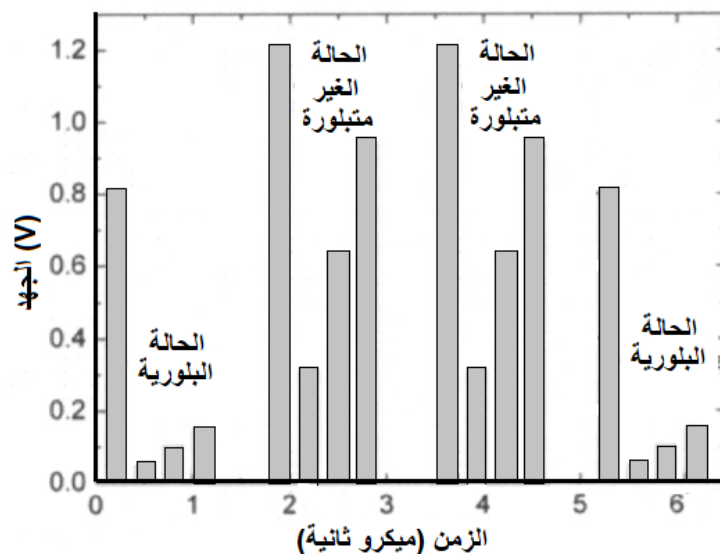
الشكل (9) مميزة الجهد-التيار لذاكرة PCM

لاختبار خصائص التبديل في مجال الزمن، يتم استخدام مجموعة من النبضات الحالية كما هو موضح في الشكل (10) كمدخلات للنموذج. يتم تطبيق نبضة تيار عالية أولاً لبرمجة الخلية على حالتها *SET* و *RESET*. بعد ذلك، يتم إدخال تسلسل من النبضات الحالية بسعة أصغر، 0.5 ميلي أمبير، و 1 ميلي أمبير و 1.5 ميلي أمبير، لاختبار وظيفة التخزين والقراءة للنموذج.



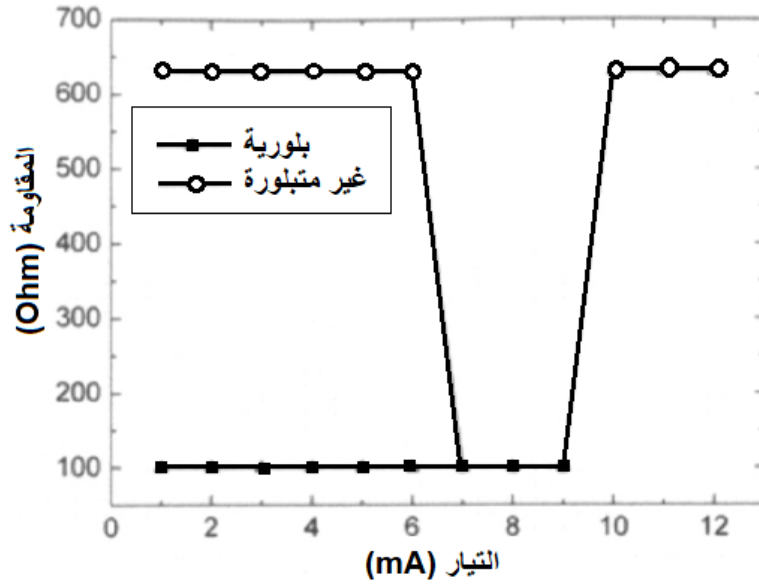
الشكل (10) نبضات تيار الدخل

يظهر خرج المحاكاة في الشكل (11) مشيراً إلى أنه يمكن تحويل PCM إلى الحالتين البلورية والغير متبلورة باستخدام نبضات تيار مختلفة، وقد تم تخزين النتيجة بنجاح.



الشكل (11) جهد الخرج

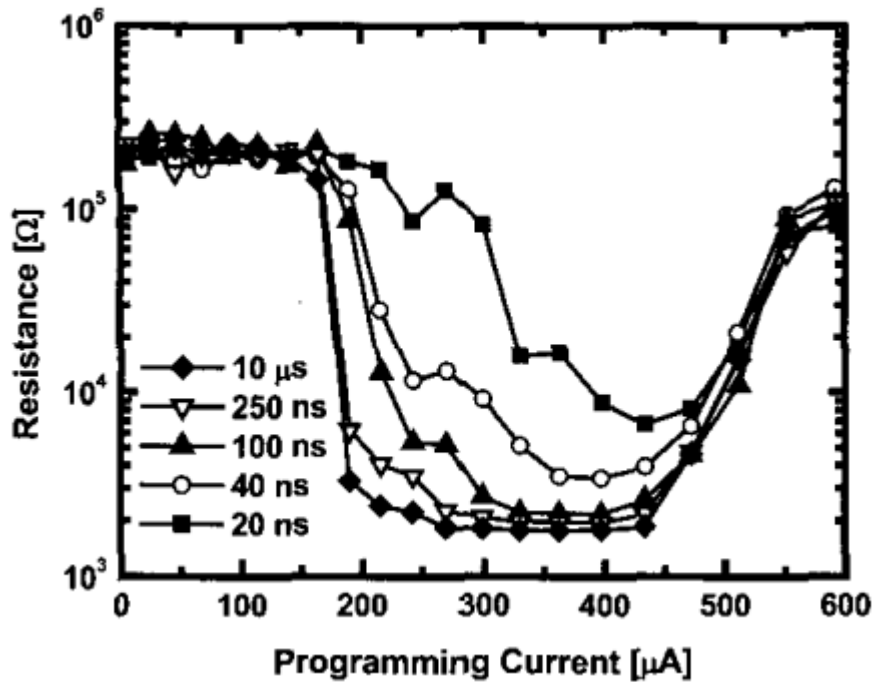
تظهر خصائص البرمجة المحاكاة في الشكل (12). يتم تسجيل مقاومة خلية PCM بدءاً من حالات أولية مختلفة عندما يتم زيادة حجم نبضة التيار $100ns$ من 1 ميلي أمبير إلى 12 ميلي أمبير. عندما تكون نبضة التيار صغيرة ($0mA-0.65mA$)، تحتفظ خلية PCM بنفس الحالة الأولية. تتحول إلى الحالة البلورية (بمقاومة 100Ω) عندما تزيد نبضة التيار عن 0.65 ميلي أمبير. في النهاية، تتغير خلية PCM إلى الحالة غير المتبلورة (بمقاومة 100Ω) عندما تزيد نبضة التيار عن 9.5 ميلي أمبير.



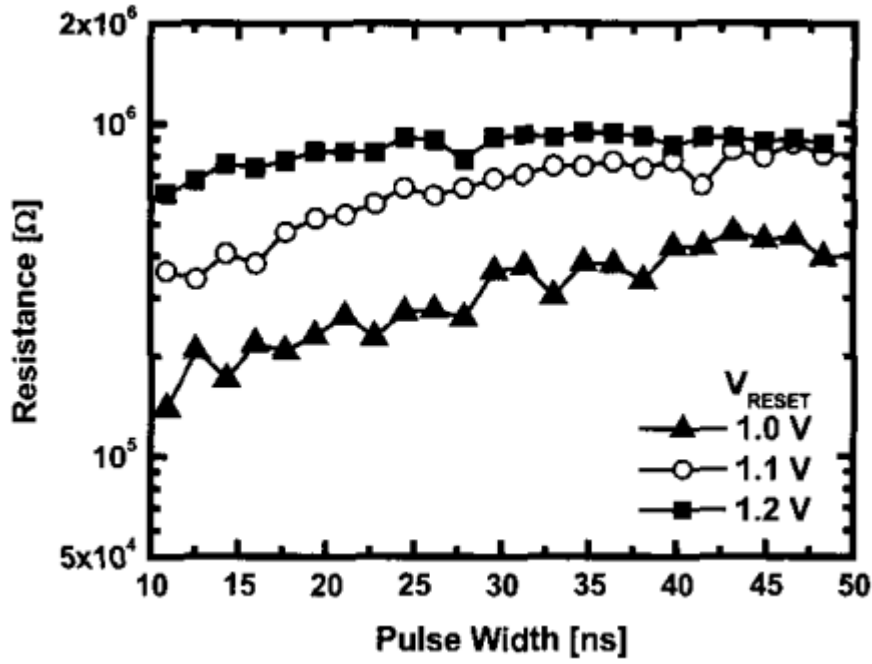
الشكل (11) قيم المقاومة النهائية

يعد وقت الكتابة والقراءة السريع أمراً إلزامياً عند استخدام ذاكرة PCM في التطبيقات ذات الأداء العالي، وذلك مع الحفاظ على قدرات جيدة للاحتفاظ بالبيانات. يتم التحكم في تسريع عملية الكتابة بواسطة التبلور السريع وخصائص عدم التطاير. وقد تم اختيار مركب GST من أجل ضمان قدرات الاحتفاظ بالبيانات 10 سنوات عند درجات حرارة تتراوح بين 110_120 درجة مئوية [2].

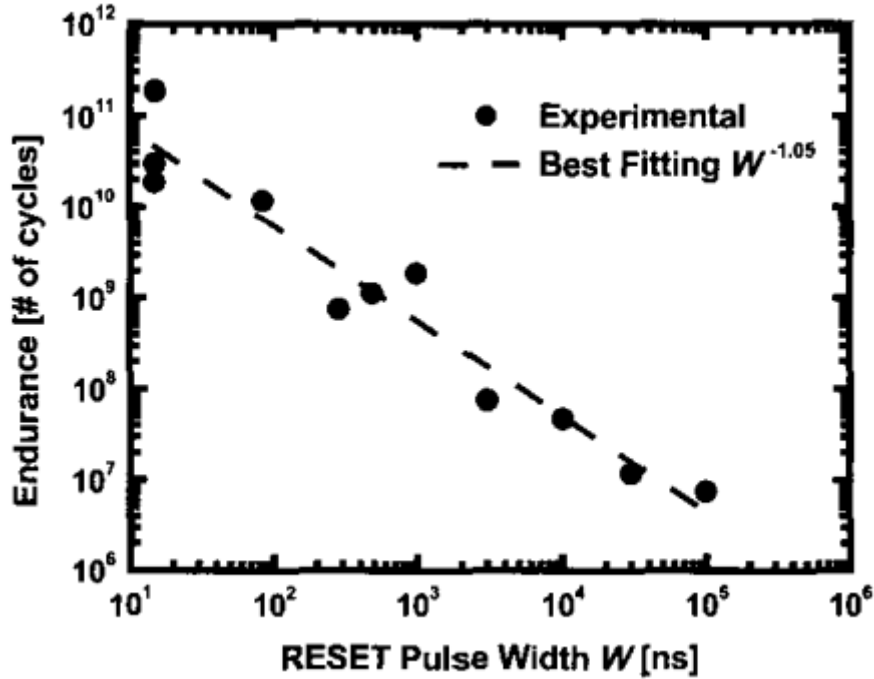
ومع ذلك، فإن قدرات الاحتفاظ الأفضل تعني نبضات برمجة أطول لبلورة GST. يوضح الشكل (12) منحنيات تيار البرمجة لخلية PCM التي تستخدم محدد MOSFET وذلك من أجل قيم عرض نبضة متغير. بالنسبة للنبضات الطويلة جداً (10 ميكرو ثانية)، يمكن تحقيق التبلور الكامل بسهولة من خلال تغيير المقاومة بمقدار درجتين من الحالة SET (المرحلة البلورية، مقاومة منخفضة) وحالة RESET (المرحلة غير المتبلورة، المقاومة العالية). ومع ذلك، فإن وقت البرمجة هذا غير مقبول بالنسبة للتطبيقات عالية الأداء. من خلال تقليل عرض النبضة، لا يتمكن GST من التبلور بالكامل، مما يؤدي إلى مقاومة SET أعلى. ومع ذلك، بالنسبة للنبضات التي تصل مدتها إلى 20 ns، لا يزال يتم تحقيق تغير المقاومة بين الحالتين المبرمجتين.



الشكل (12) منحنيات البرمجة لخلية PCM التي تستخدم محدد MOSFET وذلك من أجل قيم عرض نبضة متغير تيار برمجة RESET يصل إلى ٦٠٠ ميكرو أمبير في ذاكرة تغيير الطور باستخدام trench μ m، حيث نلاحظ أنه يمكن تقليل هذه القيمة بشكل أكبر من خلال التحكم في منطقة الاتصال بين GST والمسخن. وقد ثبت أن تحسينات مادة المسخن وسمكها تسمح بتقليل تيار البرمجة، مما يترك مجالاً لمزيد من التحسينات. يوضح الشكل (13) المقاومة في حالة RESET كتابع لعرض نبضة البرمجة وذلك من أجل مطالقات جهد مختلفة، أي المقاومة في حالة RESET التي تتراوح من $10^5 \Omega$ إلى $10^6 \Omega$. ويتم التحكم بقيمة المقاومة عن طريق تقليل عرض النبضة مثلاً 10ns يمكن ملاحظة انخفاض بسيط في المقاومة المبرمجة، وذلك بسبب التأثير المرتبط بوجود تأخير للوصول إلى الحالة الحرارية المستقرة في المسخن، ويرجع ذلك أساساً إلى المقاومة الحرارية العالية لرقائق GST. على أية حال، لا يزال هامش القراءة المسموح به متوفراً وتكون نبضات البرمجة البالغة 20 ns و 10 ns لعمليات SET و RESET، على التوالي، مناسبة لتغيير مقاومة 10 أضعاف لخلية PCM. إن إمكانيات البرمجة هذه، بالإضافة إلى وقت الوصول للقراءة الذي يقل عن 50ns تؤكد بوضوح أن تقنية PCM مناسبة كذاكرة غير المتطايرة يمكن استخدامها في النظم المضمنة عالية الأداء.

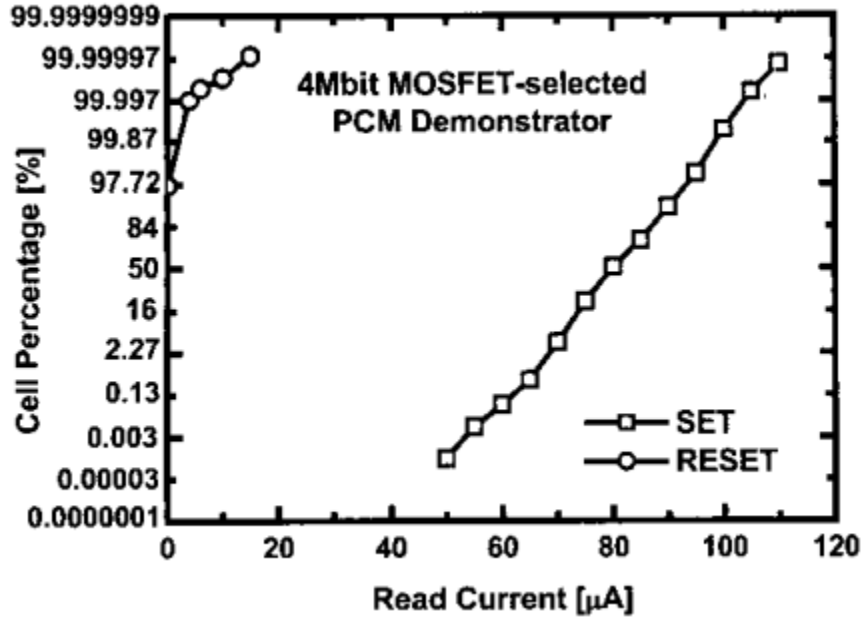


الشكل (13) المقاومة في حالة RESET كتابع لعرض نبضة البرمجة وذلك من أجل مطالات جهد مختلفة يتعلق التحسين المقابل لقدرة تحمل خلية PCM (القيمة الأعظمية للتيار المار في خلية الذاكرة دون حدوث ضجيج) بتقليل عرض نبضة RESET، حيث يوضح الشكل (14) قدرة تحمل PCM كدالة لعرض نبضة RESET (W)، وقد تم الحصول على البيانات التجريبية بقانون الطاقة $W^{-1.05}$. يوضح الشكل أن قدرة تحمل الخلية تعتمد على الوقت الإجمالي الذي تستغرقه الخلية عند درجة الحرارة الأعلى (عملية RESET).

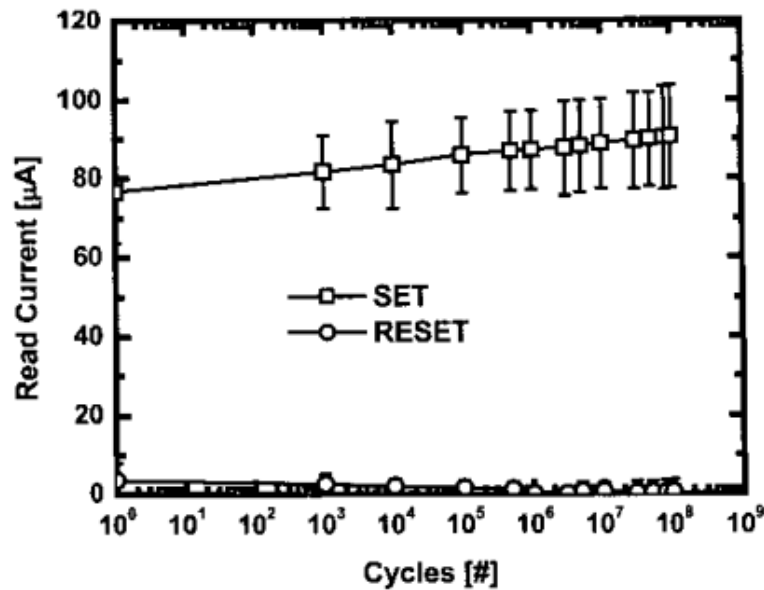


الشكل (14) تحمل PCM كدالة لعرض نبضة RESET (W)

وقد تم التأكد من فعالية خلية μ trench PCM مع محدد MOSFET باستخدام مصفوفة 4Mbit، حيث يوضح الشكل (15) توزيعات تيار الخلية لمصفوفة 4Mbit بأكملها بعد عمليات SET و RESET. بالنسبة لعمليات الكتابة، تم استخدام نبضة RESET مناسبة تبلغ 40ns و SET تبلغ 150ns.



الشكل (15) توزيعات تيار الخلية لمصفوفة 4Mbit بأكملها بعد عمليات SET و RESET تم أيضاً الحصول على النتائج الأولية لتيارات الحالتين SET/RESET على مجموعة فرعية 1K من خلايا هذه المصفوفة كما هو موضح في الشكل (16). وفي هذه الحالة أيضاً، تم استخدام عرض نبضة RESET قدره 40ns. تشير الرموز في الشكل (7) إلى القيم المتوسطة لـ SET و RESET لقراءة توزيعات التيار. تتفق هذه النتيجة مع التقدير الوارد في الشكل (5)، مما يؤكد خصائص التحمل الممتازة الجوهرية لتقنية PCM.



الشكل (16) النتائج الأولية لتيارات الحالتين SET/RESET على مجموعة فرعية 1K من خلايا PCM

١١ - الاستنتاجات

تم التحقق من الأداء العالي لذواكر تغيير الطور جعل هذه الذواكر جذابة بالنسبة للتطبيقات المضمنة، حيث أثبتنا أن زمن الكتابة المناسب هو 10ns و 20ns من أجل عمليتي Reset و Set على التوالي. وبنية الخلية التي تم اقتراحها مع محدد من النوع MOSFET ضمن المعيار CMOS 0.18 ميكرو متر مناسبة جداً من أجل التطبيقات المضمنة. وتم التأكد من فعالية خلية PCM μ trench مع محدد MOSFET باستخدام مصفوفة 4Mbit. و أكد بحثنا خصائص التحمل الممتازة لتقنية PCM مما يجعلها تقنية جذابة جداً للاستخدام في الذواكر الحديثة.

١٢ - التوصيات المستقبلية

بعد التحقق من الميزات التي تجعل من ذواكر PCM بديلاً للذواكر في التطبيقات التي تحتاج أداء عالي يمكن في المستقبل العمل على بنى جديدة لهذه الذواكر مع استخدام محددات أخرى ودراسة فاعلية هذه البنى الجديدة، حيث اعتمدنا في دراستنا على محدد MOSFET ضمن المعيار CMOS 0.18 ميكرو متر وباستخدام مصفوفة 4Mbit. كما يمكن في المستقبل التعمق بشكل أكبر في الخصائص الحرارية والكهربائية لتقنيات PCM وخاصة بعد التقدم الكبير الذي نشهده كل يوم بمجال تكنولوجيا المواد.

المراجع

- [1] N. Youngblood, C. Ríos, E. Gemo, J. Feldmann, Z. Cheng, A. Baldycheva, W. H. Pernice, C. D. Wright, and H. Bhaskaran, "Tunable volatility of Ge₂Sb₂Te₅ in integrated photonics," *Advanced Functional Materials*, vol. 29, no. 11, p. 1807571, 2019.
- [2] S. Lai and T. Lowrey, "OUM ~A 180 nm nonvolatile memory cell element technology for stand-alone and embedded applications", *IEDM Tech. Dig.*, 2011.
- [3] H.-S. Philip Wong, Simone Raoux, SangBum Kim, Jiale Liang, John P. Reifenberg, Bipin Rajendran, Mehdi Asheghi, and Kenneth E. Goodson, "Phase Change Memory A comprehensive and thorough review of PCM technologies, including a discussion of material and device issues, is provided in this paper", *IEEE* Vol. 98, No. 12, December 2010.
- [4] Chua L. O. "Resistance switching memories are memristors" *Applied Physics A*,(2011) .
- [5] P. Zuliani, "Solid-State Electronics", v.111, pp. 27-31, 2015.
- [6] Pohm A., Sie C., Uttecht R., Kao V., Agrawal O. "Chalcogenide glass bistable resistivity (Ovonic) memories". *IEEE Transactions on Magnetics*, (2007).
- [7] Horii.H,"A novel cell technology using N-doped GeSbTe films for phase change RAM". *Symposium on VLSI Technology. Digest of Technical Papers*, 2003.
- [8] Greene Kate ,"A Memory Breakthrough". *Technology Revie*, 2017.
- [9] Simpson R. E. "Toward the Ultimate Limit of Phase Change in Ge₂Sb₂Te₅". *Nano Letters*,2010.
- [10] F. Pellizzer et al., "Novel ptrench phase-change memory cell for embedded and stand-alone non_volatile memory applications", *Symp. on VLSI Tech.*, 2004.
- [11] Ovonyx Inc., Technical presentation titled "Ovonic Unified Memory", slide 21 (2019)