مجلة جامعة طرطوس للبحوث والدراسات العلمية _ سلسلة العلوم الهندسية المجلد (١٠) العدد (٦) ٢٠٢٦

Tartous University Journal for Research and Scientific Studies - engineering Sciences Series Vol. (10) No. (6) 2026

المساهمة في تقليل زمن انتشار البيانات ضمن البنية الصغرية من خلال دراسة العديد من طرق تصميم قنوات تدفق البيانات (مراحل المعالجة بالتجزئة)

د. م. وسيم خضر سليمان *

(تاريخ الإيداع ٢٠٢٦/٢/١٥ . قُبِل للنشر في ٢٠٢٦/٤/٨)

□ ملخّص □

يعتبر زمن انتشار البيانات من العوامل المهمة التي يجب أخذها بعين الاعتبار وذلك عند تصميم (برمجة) قنوات تدفق البيانات (مراحل المعالجة بالتجزئة) (Pipeline Stages) ضمن البنية الصغرية (Microarchitecture). تهدف الدراسة الحالية إلى تحليل العديد من أنظمة تصميم مراحل المعالجة بالتجزئة عبر مقارنة زمن انتشار البيانات (Data Propagation Delay) فيما بينها ليصار إلى اقتراح طريقة تصميم تجعل الزمن المذكور أصغر ما يمكن. شملت الدراسة الحالية ثلاثة أنظمة شهيرة، بدءاً بالنظام التقليدي (Conventional Pipeline) ومروراً بالنظام الموجي (Wave Pipeline) ووصولاً إلى نظام المعالجة بالتجزئة المتزامن جزئياً / شبه المتزامن (Mesochronous Pipeline) الذي يعتمد بفكرته الأساسية على تضمين عنصر تأخير في طريق خط تزويد نبضات الساعة. تم اختبار هذه الأنظمة مع ترددات نبضات دخل تتراوح بين 5HZ – 999 MHZ وحساب الزمن اللازم لتدفق البيانات مع عدد مراحل يتراوح من ثلاث إلى ثماني مراحل وعرض النتائج المتعلقة بزمن الانتشار. ومن ثم تم إدراج خطة تقديم نبضات الساعة لنظام المعالجة بالتجزئة (Proposed Pipeline) من خلال استخدام بوابة منطقية لتفحّص البيانات الثنائية للقلّاب السابق بهدف التخلص من حالة نصف المنطق أو المنطق الغير القابل للتنبأ ويضمن زمن تدفق أصغري للبيانات ضمن الهيكلية الصغريّة. ومن خلال تحليل نتائج نظم المعالجة بالتجزئة فقد وجد أن النظام المقترح يعطي أفضل زمن لتدفق المعطيات ضمن مراحل المعالجة بالتجزئة من مرتبة ٨٨٨ نانوثانية وحتى ٣,٨٩ ميكروثانية ضمن مجال الترددات المعتمد في حال اعتبار وجود عمليات منطقية يتوجب إنجازها ضمن المراحل المختلفة.

الكلمات المفتاحية: قنوات المعالجة المتوازية، زمن الانتشار، البنية الصغرية، المسجلات.

*مدرس في قسم هندسة الأتمتة الصناعية، كلية الهندسة التقنية، جامعة طرطوس. البريد الإلكتروني: wasimsoliman1987@gmail.com

مجلة جامعة طرطوس للبحوث والدراسات العلمية _ سلسلة العلوم الهندسية المجلد (١٠) العدد (٦) ٢٠٢٦

Tartous University Journal for Research and Scientific Studies - engineering Sciences Series Vol. (10) No. (6) 2026

Contribution on Data Propagation Delay Time Reduction through Studying Several Pipeline Systems

Dr. Wasim Ghder Soliman*

(Received 15/2/2026 . Accepted 8/4/2026)

□ ABSTRACT □

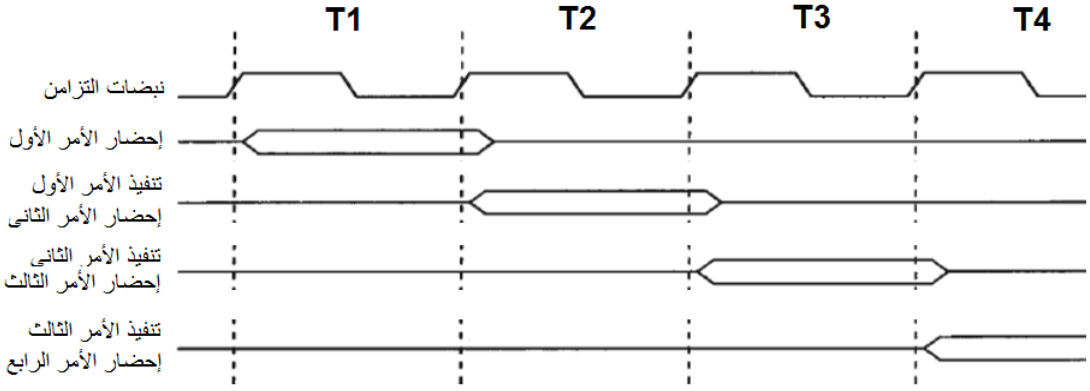
Data propagation delay time is a crucial factor to consider when designing (programming) pipeline stages within the microarchitecture. This study aims to analyze several pipeline stage design systems by comparing their data propagation delay times to propose a design method that minimizes this delay. The study includes three well-known systems: the conventional pipeline, the wave pipeline, and the mesochronous pipeline which is based on incorporating a delay element into the clock pulse supply line. These systems were tested with input pulse frequencies ranging from 5 Hz to 999 MHz, and the data propagation delay time is calculated for three to eight stages. The results related to the propagation delay time are then presented. Finally, a proposed clock pulse delivery scheme for the pipeline system is incorporated via logic gate utilization for the previous flip flop avoiding half way state and ensuring minimal data flow delay time within the microarchitecture. By analyzing the results of the considered pipeline systems, it is found that the proposed system gives the best data propagation time equals to 888 ns to 3.89 µsec within the pipeline stages, considering the existence of logical operations that must be completed within the different stages.

Keywords: Pipeline System, Propagation Delay Time, Microarchitecture, Registers.

* **Ind. Auto. Eng. Dept., Faculty of Tech. Eng., Tartus University. Email address: wasimsoliman1987@gmail.com**

١- المقدمة:

يمكن جعل هيكلية قنوات المعالجة المتوازية قابلة لإعادة التهيكل في الزمن الحقيقي بناءاً على متطلبات الحسابات على مستوى العقدة (Edge Computing) ضمن منظومة IoT مما يكون له أثر كبير وانعكاس على استهلاك الطاقة والموارد المستخدمة من البنية الصغرية.و بإعتبار المهمة الرئيسية لأي معالج صغري في تنفيذ أوامر (طلبات) برنامج المستخدم، فإن أي طريقة تؤدي إلى تحسين كفاءة هذه المهمة تعتبر من الطرق المحمودة في هذا المجال. مع تصنيع الأجيال الأولى من المعالجات الصغرية كانت وحدة المعالجة المركزية CPU تقوم بتنفيذ أي أمر على دورتين متتابعتين، الدورة الأولى تعرف بدورة الإحضار(fetching cycle) وهي دورة إحضار الأمر من الذاكرة ووضعه فى مسجل الأوامر، وأما الدورة الثانية فتعرف بدورة التنفيذ (execution cycle) والتي تبدأ بعد وصول شفرة الأمر إلى مسجل الأوامر ليصار إلى تنفيذه. وبالتالي كانت السلبية أنه عندما تكون الوحدة مشغولة فى دورة إحضار فإنها لا تفعل أي شيء آخر، وعندما تكون مشغولة فى دورة التنفيذ فإنها لا تفعل أي شيء آخر، ولذلك فإن الزمن الكلي لتنفيذ أي أمر يكون مجموع زمني دورتي الإحضار والتنفيذ معاً، و تم استبدال هذا الوضع فيما بعد بفكرة خطوط الإنتاج، أو قنوات المعالجة المتوازية (نظام المعالجة بالتجزئة) (pipelines system). إن نظام المعالجة بالتجزئة يؤدي إلى سرعة بيانات وإنتاجية عالية للبنية الصغرية حيث أنه يعمل كخط تجميع، فقبل الانتهاء من معالجة البيانات الحالية يمكن البدء بمعالجة بيانات جديدة، وتستخدم هذه الطريقة مع واحدات المعالجة المركزية عالية السرعة وفي الحسابات التفرعية (العدوي، ٢٠١٧، ص٥٩). أي أنه عند أي لحظة، أو في أثناء أي نبضة تزامن (T) تكون وحدة الإحضار مشغولة فى تنفيذ أمر معين، ووحدة التنفيذ مشغولة فى تنفيذ الأمر السابق له كما هو مبين في الشكل (١).



الشكل (١): تمثيل للتتابع الزمني لدخول أوامربرنامج المستخدم في خلال مراحل المعالجة بالتجزئة بدءاً من الأمر الأول [10].

يعتبر زمن انتشار البيانات من العوامل المهمة التي يجب أخذها بعين الاعتبار وذلك عند تصميم (برمجة) قنوات المعالجة المتوازية (مراحل المعالجة بالتجزئة) (Pipeline Stages) ضمن البنية الصغرية (Microarchitecture) (Soliman et al., 2020) (Kumar et al., 2019). كما يعتبر تصميم دوائر غير توافقية (Asynchronous) لأغراض تطبيق خوارزميات الشبكات العصبونية وانترنيت الأشياء (IoT) مع الأخذ بعين الاعتبار أزمنة تدفق البيانات ضمن الهيكلية الصغرية أمراً بالغ الأهمية في الأبحاث الحديثة ضمن هذا المجال (Zhou L et al., 2024). تم العمل على تقليل زمن انتشار البيانات ضمن نظام المعالجة بالتجزئة باتباع طرق وأساليب متعددة من أنظمة تشكيل قنوات المعالجة المتوازية التقليدية أو الموجية أو التزامنية / شبه التزامنية ومقارنته بهدف اعتماد التصميم الذي يعطي زمن انتشار أصغري (Nandigam, S.

(K et al., 2022. كما أن الظروف التشغيلية للهيكلية الصغرية تؤثر بعدد مراحل المعالجة بالتجزئة (قنوات المعالجة المتوازية) التي يمكن اعتمادها بسبب درجات الحرارة المرتفعة وقيمة الضغوط العالية (Szucs, ٢٠٢٤ ,J.et al.)، وبالتالي يصبح تصغير زمن انتشار البيانات أمراً حتمياً. بالإضافة إلى تضافر الجهود البرمجية مع جهود تصميم العتاد الصلب بغاية تصغير زمن الانتشار المذكور عبر مراحل قنوات المعالجة المتوازية المتعاقبة (Tarasov I. E.et al.,٢٠٢٥). كما أن كمية الموارد المستهلكة والقدرة المصروفة ضمن الهيكلية الصغرية تتأثر بزمن انتشار بيانات الدائرة الرقمية (Mach J., et al., 2023)، مما يوجب اتباع تقنيات أمثلية في تصميم وبرمجة قنوات المعالجة المتوازية (Adegbija T et al., 2017). وبالتالي برزت ثغرة البحث الحالي في تحليل ودراسة مشكلة زمن انتشار البيانات ضمن البنية الصغرية باعتماد الأنظمة المعروفة في هذا المجال واقتراح طريقة من شأنها تقليل الزمن المشار إليه.

٢- أهمية البحث وأهدافه:

إن أهمية البحث تنبع من اتباع طريقة فعّالة بهدف تقليل زمن انتشار البيانات ضمن نظام المعالجة بالتجزئة مما يؤدي إلى زيادة كفاءة النظام المذكور بحيث يمكن اعتماده مع التقنيات والتكنولوجيا الحديثة المتمثلة بانترنيت الأشياء (IoT) والشبكات العصبونية المطبقة فعلياً. حيث يمكن استخدام النظام المقترح في تحسين الحسابات على مستوى العقدة (Edge Computing) ضمن منظومة IoT عن طريق جعل هيكلية قنوات المعالجة المتوازية قابلة لإعادة التهيكل في الزمن الحقيقي بناءاً على متطلبات الحسابات المذكورة مما يكون له أثر كبير وانعكاس على استهلاك الطاقة والموارد المستخدمة في البنية الصغرية.

٣- المواد والطرق:

إن مواد البحث الحالي تتمثل بالحاسوب الشخصي ذو نظام التشغيل Windows 10 و المعالج Intel Core i5 8^{th} Gen بعد تنصيب برنامج Electronics Workbench الذي تم استخدامه (بالإستفادة من الإمكانيات المتاحة ضمنه حيث تم استخدام مولّد نبضات (Function Generator) لتزويد النظام بنبضات دخل مربعة ذات ترددات متعددة تُعبر عن البيانات المراد انتشارها ضمن مراحل النظام المتتالية، كما تم استخدام المحلل المنطقي (Logic Analyzer) لتحليل ودراسة زمن انتشار البيانات) لنمذجة وتحليل مختلف أنظمة قنوات المعالجة المتوازية المعتمدة ضمن البحث الحالي بالإضافة إلى نمذجة وتحليل النظام المقترح.

١,٣. أنظمة (طرق) المعالجة بالتجزئة:

تم في البحث الحالي دراسة وتحليل ثلاث أنظمة شهيرة، بدءاً بالنظام التقليدي (Conventional Pipeline) ومروراً بالنظام الموجي (Wave Pipeline) ووصولاً إلى نظام المعالجة بالتجزئة المتزامن جزئياً / شبه المتزامن (Mesochronous Pipeline)، ليصار إلى اقتراح نظام يضمن تقليل زمن انتشار البيانات. إن الشرح المتعلق بهذه الأنظمة المذكورة من خلال تضمينه في الفقرات الجزئية التالية:

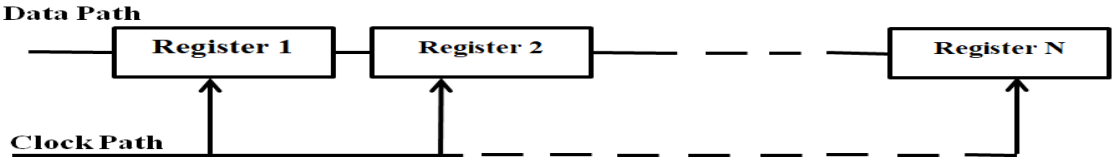
١,١,٣. النظام التقليدي (Conventional Pipeline):

يبين الشكل (٢) طريقة توصيل المسجلات المختلفة ضمن النظام التقليدي (***C***onventional Pipeline)، حيث من الواضح المسار المباشر لكل من البيانات (Data Path) ونبضات الساعة (Clock Path) عبر المسجلات المتتالية بدءاً من المسجل الأول (Register 1) وصولاً إلى المسجل N (Register N) (Nandigam, S. K et al., 2022) . إن سرعة انتشار البيانات في هذا النظام ستقل بشكل تدريجي

من مرحلة إلى أخرى وذلك بسبب تشوه نبضات الساعة مما يخلق تعقيدات ضمن هكذا نوع من الأنظمة. بشكل عام، تعطى المعادلة الرياضية العامة لنبضات الساعة المعبرة (المعادلة (١)) عن هذا التشكيل كمايلي:

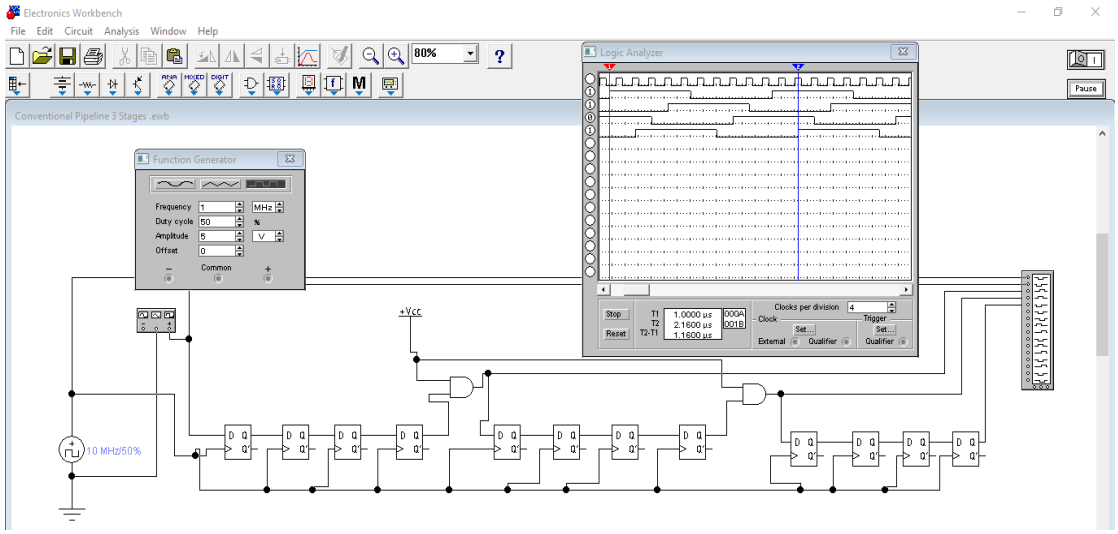
$$T_{clk_{conventional}} \geq D_{max} + D_r + T_s + \Delta_{clk} \quad (1)$$

حيث أن: D_{max} :أطول وقت تأخير، D_r: زمن تأخير المسجل، T_s : زمن ضبط المسجل، Δ_{clk}: عدم يقين نبضات الساعة.



الشكل (٢): النظام التقليدي لتشكيل قنوات المعالجة المتوازية ضمن الهيكلية الصغرية.

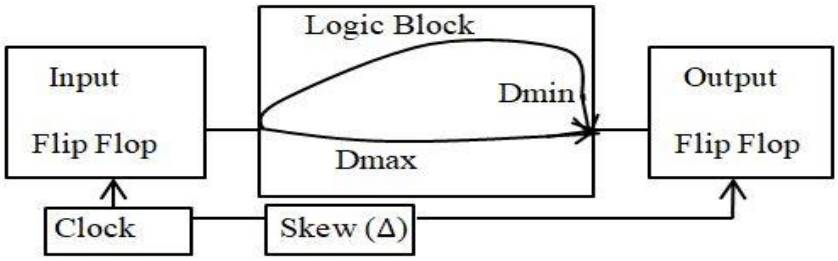
تمت نمذجة ثماني مراحل معالجة بالتجزئة باستخدام برنامج Electronics Workbench حيث يظهر الشكل (٣) أول ثلاث مراحل، حيث تم استخدام مولّد نبضات (Function Generator) لتزويد النظام نبضات دخل مربعة تُعبر عن البيانات المراد انتشارها ضمن مراحل النظام المتتالية، كما تم استخدام المحلل المنطقي (Logic Analyzer) لتحليل ودراسة زمن انتشار البيانات.



الشكل (٣): أول ثلاث مراحل مشكّلة باستخدام النظام التقليدي لقنوات المعالجة المتوازية.

٢,١,٣. النظام الموجي (Wave Pipeline):

في هذا النظام، يمكن زيادة تردد نبضات الساعة عما كانت عليه مع النظام التقليدي بسبب طبيعة تركيبه. إن الفرق بين أكبر تأخير (D_{max}) وأقل تأخير (D_{min}) يحدد معدل تدفق البيانات ضمن الدارة المنطقية كما هو مبين في الشكل (٤). وعليه، يمكن زيادة إنتاجية (throughput) المعالجة الموزعة عبر معدل انتشار بيانات عالي(Nandigam, S. K et al., 2022) . .



الشكل (٤): النظام الموجي لتشكيل قنوات المعالجة المتوازية ضمن الهيكلية الصغرية.

دعنا نعتبر البارامتر (N) للتعبير عن عدد نبضات الساعة التي تحتاجها الإشارة المنطقية للانتشار عبر الدارة المنطقية قبل الوصول إلى مسجل الخرج، إن درجة النظام الموجي للمعالجة بالتجزئة يتم تحديده بواسطة هذا البارامتر. ينبغي تزويد نبضات الساعة عبر الزمن المعطى بالمعادلة (٢):

$$T_L = NT_{clk} + \Delta \quad (2)$$

حيث أن Δ التشوه المحتمل لنبضات الساعة، وهو عبارة عن قيمة عشوائية بين مسجلي الدخل والخرج.

إن محدد معدل تزويد النبضات للساعة عبر أطول مسار منطقي هو أن الزمن أعلاه ينبغي أن يحقق المعادلة (٣):

$$T_L > D_r + D_{max} + T_s + \Delta_{clk} \quad (3)$$

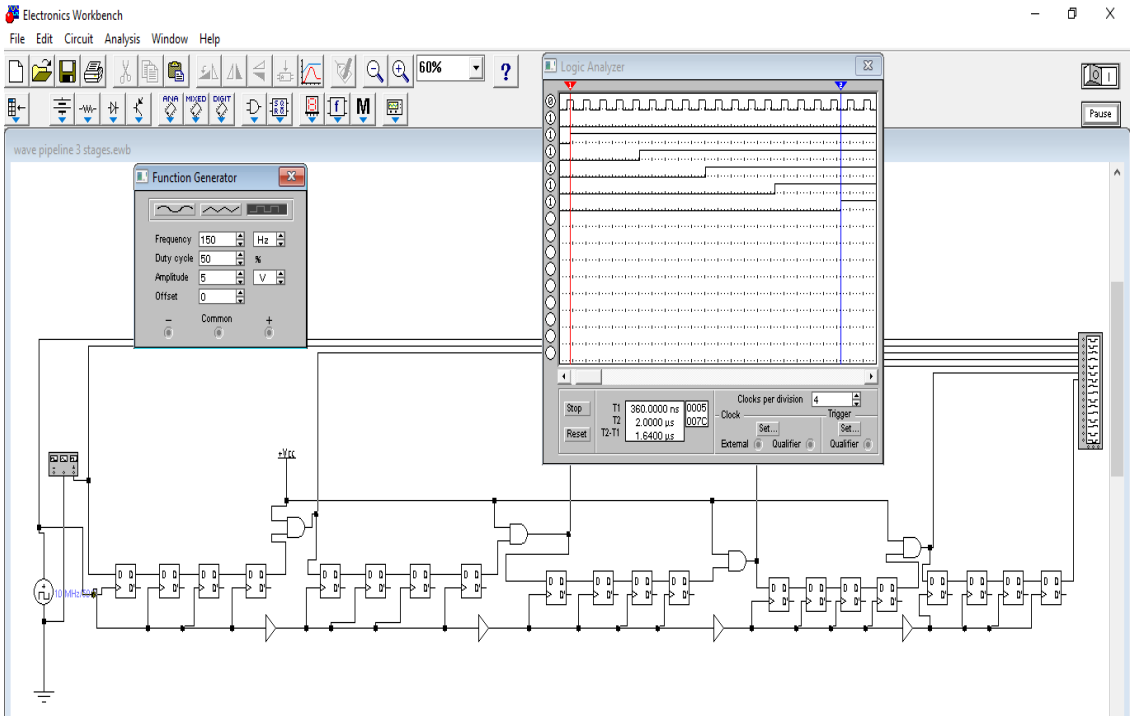
والتي تماثل المعادلة (١) بعد إلغاء قبول المساواة. وهنا يبرز محدد جديد عبر المسار المنطقي الأقصر بعدم تداخل موجة البيانات الحالية (i) مع الموجة التالية ($i+1$) بحيث أن أقل زمن وصول للموجة التالية يجب أن يساوي $T_{clk} + D_r + D_{min}$.

وبالتالي تكون المعادلة الرياضية العامة لنبضات الساعة (المعادلة (٤)) ضمن النظام الموجي بهذا التشكيل كمايلي:

$$T_{clk.w} \geq (D_{max} - D_{min}) + T_h + T_s + 2\Delta_{clk} \quad (4)$$

حيث أن: $(D_{max} - D_{min})$ يمثل الفرق بين أكبر تأخير (D_{max}) وأقل تأخير (D_{min}) للمسارين الأطول والأقصر على الترتيب، كمايجب المحافظة على زمن المسك (T_h) بهدف الاستقرار.

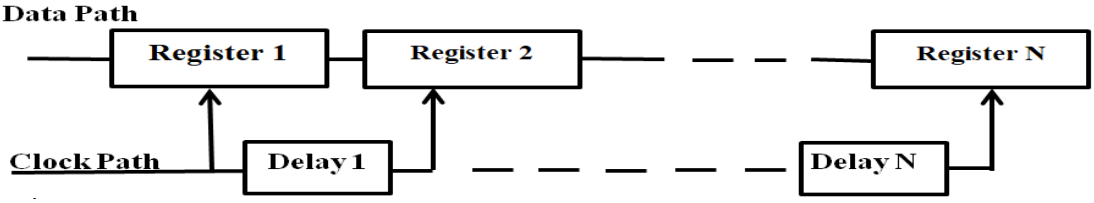
يظهر الشكل (٥) خمسة مراحل من أصل ثمان مراحل لنظام موجي موزع تمت نمذجته.



الشكل (٥): أول خمس مراحل مشكّلة باستخدام النظام الموجي لقنوات المعالجة المتوازية.

٣,١,٣. النظام المتزامن جزئياً / شبه المتزامن (Mesochronous Pipeline):

بالنسبة لهذا النظام، إن الفكرة الأساسية تكمن بتضمين عنصر تأخير (Delay Element). إن عنصر التأخير المذكور يتم وضعه على مسار خط تزويد إشارة نبضات الساعة (clock signal) (Nandigam, S. K et al., 2022). وفي هذه الحالة يمكن التحكم بتزامن النبضات المذكورة وتقليل زمن انتشار البيانات عبر النظام كما هو مبين في الشكل (٦).

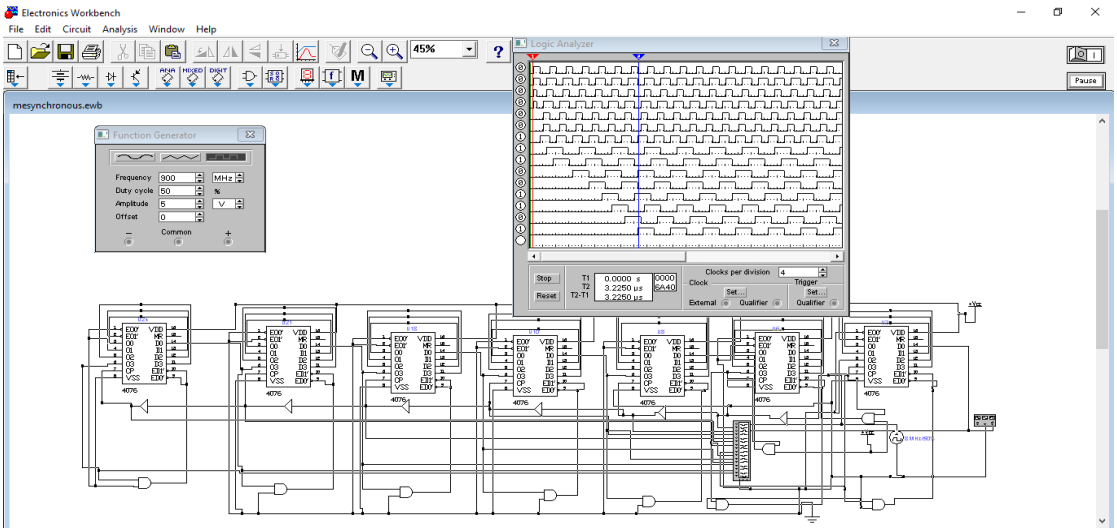


الشكل (٦): النظام المتزامن جزئياً / شبه المتزامن لتشكيل قنوات المعالجة المتوازية ضمن الهيكلية الصغرية.

هنا قيمة التأخير يجب أن تكون مساوية للزمن الذي تحتاجه النبضات للعبور من مرحلة إلى أخرى. تعطى المعادلة الرياضية لإشارة نبضات الساعة عبر هكذا تشكيل وفق صيغة المعادلة (٥) التالية:

$$T_{clk.m} \geq (D_{max}(f) - D_{min}(f)) + T_h + T_s + 2\Delta_{clk} \quad (5)$$

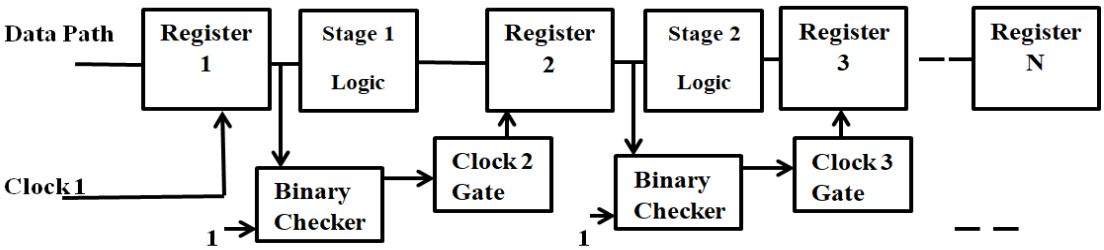
في النظم الحديثة، يتم استخدام عنصر عزل بزمن تأخير قابل للمعايرة (Adjustable Delay Buffers (ADB) للتغلب على التشوهات المحتملة لنبضات الساعة. يبين الشكل (٧) نموذج نظام معالجة بالتجزئة متزامن جزئياً / شبه متزامن مؤلف من ثماني مراحل.



الشكل (٧): نموذج ثمانية مراحل مشكّلة باستخدام النظام المتزامن جزئياً / شبه المتزامن لقنوات المعالجة المتوازية.

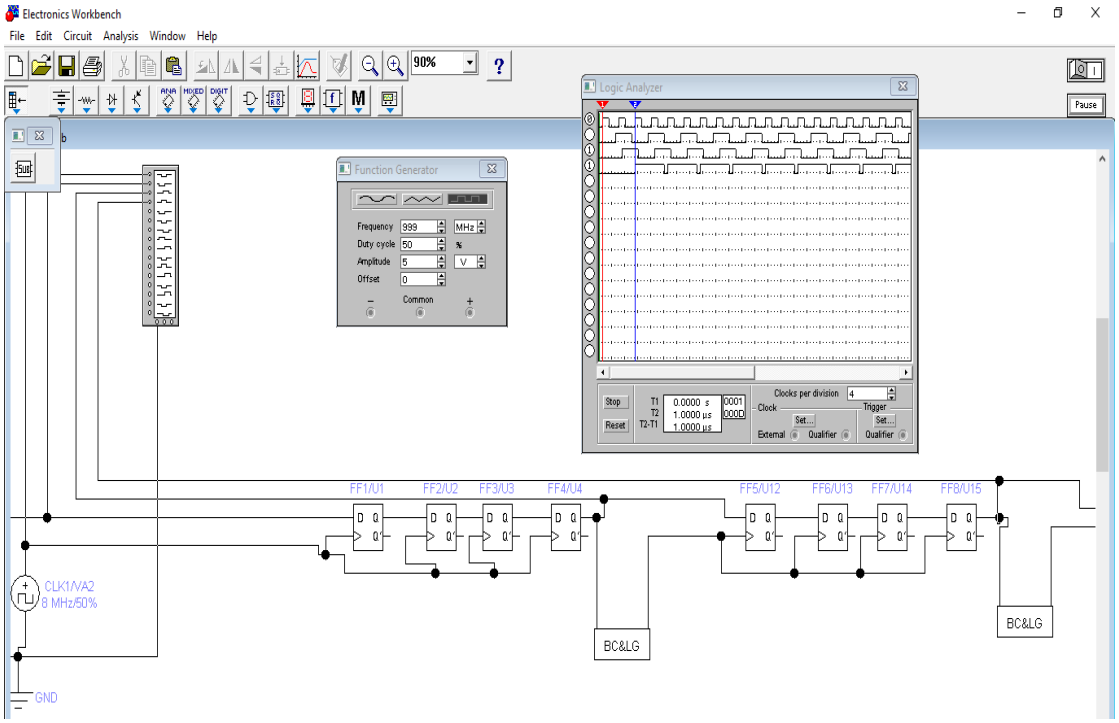
٤,١,٣. نظام المعالجة بالتجزئة المقترح (Proposed Pipeline System):

يضمن النظام المقترح زمن تدفق أصغري للبيانات ضمن الهيكلية الصغريّة، يعتمد هذا النظام في فكرته على الأخذ بعين الاعتبار تأثير كل من زمني الإعداد والاحتفاظ للمسجلات ضمن النظام الرقمي على خرجه؛ حيث أن الخرج سينتج القيمة الجديدة لمعطيات الدخل في حال تغيّرت قيمتها قبل وقت الإعداد، وبشكل معاكس، فإن الخرج سينتج القيمة القديمة لمعطيات الدخل في حال تغيّرت قيمتها بعد وقت الاحتفاظ، وهناك احتمالية لحدوث حالة تعرف بنصف المنطق أو المنطق الغير قابل للتنبأ والتي تحدث في حال كان تغيّر معطيات الدخل بعد زمن الإعداد وقبل زمن الاحتفاظ، مما يؤدي إلى تشكل خرج بين حالتي الواحد والصفر المنطقي، وبالتالي فإن فكرة الخطة المقترحة هنا هي في تحديد المنطق المعروف، إما واحد أو صفر وذلك من خلال استخدام بوابة منطقية لتفحّص البيانات الثنائية للقلّاب السابق، هذا سينتج تأخير صغير في طريق نبضات الساعة ولكن في الوقت نفسه سيؤدي إلى التخلص من المشكلة السابقة. يبين الشكل (٨) النظام المقترح للمعالجة بالتجزئة.



الشكل (٨): النظام المقترح لتشكيل قنوات المعالجة المتوازية ضمن الهيكلية الصغرية.

كما تمت نمذجة هذا النظام كغيره من النظم السابقة، ويوضح الشكل (٩) أول مرحلتين من المراحل الثمان المعتمدة في هذا البحث.



الشكل (٩): نموذج لمرحلتين من مراحل النظام المقترح لقنوات المعالجة المتوازية.

٤- *النتائج والمناقشة:*

تمت في هذا الجزء مقارنة نظم (طرق) تشكيل قنوات المعالجة المتوازية (نظم المعالجة بالتجزئة) التي شرحت في الفقرات السابقة. تم اعتماد نهج مقارنة موحد للنظم الأربعة المدروسة من خلال اعتماد مجال تردد نبضات دخل بين 5HZ – 999 MHZ وحساب الزمن اللازم لتدفق البيانات مع عدد مراحل يتراوح من ثلاثة إلى ثمانية مرحل وعرض النتائج في جداول ذات صلة، وذلك بمساعدة النماذج المطورة باستخدام برنامج Electronics Workbench حيث تم استخدام مولّد نبضات (Function Generator) لتزويد النظام نبضات دخل مربعة تُعبر عن البيانات المراد انتشارها ضمن مراحل النظام المتتالية، كما تم استخدام المحلل المنطقي (Logic Analyzer) لتحليل ودراسة زمن انتشار البيانات. تبين الجداول من (١) إلى (٤) أزمنة انتشار البيانات خلال المراحل المختلفة للأنظمة التقليدي، الموجي، المتزامن جزئياً / شبه المتزامن، المقترح على التوالي. حيث تم اختبار حالتي عدم وجود بوابات (عناصر) منطقية في طريق البيانات المتدفقة (No Logic) و وجود عمليات منطقية تدفق عبرها البيانات (With Logic) وذلك من أجل مجال تردد نبضات الدخل المذكور وعبر المراحل المختلفة أي ثلاث و أربع و خمس وست وسبع وثمان مراحل كما تظهر الجداول أدناه.

الجدول (١): أزمنة انتشار البيانات باستخدام النظام التقليدي

Input Pulses Frequency	Conventional Pipeline System											
	Three Stages		Four Stages		Five Stages		Six Stages		Seven Stages		Eight Stages	
	No Logic (µsec)	With Logic (µsec)	No Logic (µsec)	With Logic (µsec)	No Logic (µsec)	With Logic (µsec)	No Logic (µsec)	With Logic (µsec)	No Logic (µsec)	With Logic (µsec)	No Logic (µsec)	With Logic (µsec)
999MHZ	1.2	1.2	1.7	1.7	2.2	2.2	2.7	2.7	3.2	3.2	3.7	3.7
500MHZ	1.33	1.33	1.78	1.78	2.33	2.33	2.78	2.78	3.33	3.33	3.78	3.78
100MHZ	1.44	1.44	1.89	1.89	2.44	2.44	2.89	2.89	3.44	3.44	3.89	3.89
10MHZ	1.66	1.66	2.11	2.11	2.67	2.67	3.11	3.11	3.67	3.67	4.11	4.11
500KHZ	1.44	1.44	1.89	1.89	2.44	2.44	2.89	2.89	3.44	3.44	3.89	3.89
100KHZ	1.44	1.44	1.89	1.89	2.44	2.44	2.89	2.89	3.44	3.44	3.89	3.89
10KHZ	1.44	1.44	1.89	1.89	2.44	2.44	2.89	2.89	3.44	3.44	3.89	3.89
100HZ	1.44	1.44	1.89	1.89	2.44	2.44	2.89	2.89	3.44	3.44	3.89	3.89
10HZ	1.56	1.56	2	2	2.56	2.56	3	3	3.56	3.56	4	4
5HZ	1.44	1.44	1.89	1.89	2.44	2.44	2.89	2.89	3.44	3.44	3.89	3.89

نلاحظ من الجدول (١) أن القيمة العظمى لزمن انتشار البيانات عبر مراحل النظام التقليدي تبلغ ٤,١١ ميكروثانية وذلك من أجل ثماني مراحل من قنوات المعالجة المتوازية وعند تردد بقيمة ١٠ ميغاهرتز، في حين بلغت القيمة الصغرى لهذا الزمن ما مقداره ١,٢ ميكروثانية لثلاث مراحل من قنوات المعالجة المتوازية عند تردد ٩٩٩ ميغاهرتز.

الجدول (٢): أزمنة انتشار البيانات باستخدام النظام الموجي

Input Pulses Frequency	Wave Pipeline System											
	Three Stages		Four Stages		Five Stages		Six Stages		Seven Stages		Eight Stages	
	No Logic (µsec)	With Logic (µsec)	No Logic (µsec)	With Logic (µsec)	No Logic (µsec)	With Logic (µsec)	No Logic (µsec)	With Logic (µsec)	No Logic (µsec)	With Logic (µsec)	No Logic (µsec)	With Logic (µsec)
999MHZ	1	1.3	1.4	1.8	1.8	2.3	2.2	2.8	2.6	3.3	2.9	3.8
500MHZ	1	1.33	1.44	1.78	1.78	2.33	2.22	2.78	2.56	3.33	3	3.89
100MHZ	1.11	1.44	1.56	1.89	1.89	2.44	2.33	2.89	2.67	3.44	3.11	4

10MHZ	1.44	1.66	1.78	2.22	2.22	2.67	2.56	3.22	3	3.67	3.33	4.22
500KHZ	1.11	1.44	1.56	1.89	1.89	2.44	2.33	2.89	2.67	3.44	3.11	4
100KHZ	1.11	1.44	1.56	1.89	1.89	2.44	2.33	2.89	2.67	3.44	3.11	4
10KHZ	1.11	1.44	1.56	1.89	1.89	2.44	2.33	2.89	2.67	3.44	3.11	4
100HZ	1.11	1.44	1.56	1.89	1.89	2.44	2.33	2.89	2.67	3.44	3.11	4
10HZ	1.33	1.56	1.67	2	2.11	2.56	2.44	3.11	2.78	3.56	3.22	4.11
5HZ	1.22	1.44	1.56	1.89	2	2.44	2.33	3	2.67	3.44	3.11	4

كما نلاحظ من الجدول (٢) أن القيمة العظمى لزمن انتشار البيانات عبر مراحل النظام الموجي تبلغ ٤,٢٢ ميكروثانية وذلك من أجل ثماني مراحل من قنوات المعالجة المتوازية وعند تردد بقيمة ١٠ ميغاهرتز، في حين بلغت القيمة الصغرى لهذا الزمن ما مقداره ١ ميكروثانية لثلاث مراحل من قنوات المعالجة المتوازية عند تردد ٩٩٩ ميغاهرتز.

الجدول (٣): أزمنة انتشار البيانات باستخدام النظام المتزامن جزئياً / شبه المتزامن

Input Pulses Frequency	Mesochronous Pipeline System					
	Three Stages	Four Stages	Five Stages	Six Stages	Seven Stages	Eight Stages
	With Logic (µsec)	With Logic (µsec)	With Logic (µsec)	With Logic (µsec)	With Logic (µsec)	With Logic (µsec)
999MHZ	1.3	1.7	2	2.4	2.8	3.2
500MHZ	1.33	1.67	2.11	2.44	2.89	3.22
100MHZ	1.44	1.78	2.22	2.56	3	4
10MHZ	1.66	2	2.44	2.78	3.22	3.56
500KHZ	1.44	1.78	2.22	2.56	3	3.33
100KHZ	1.44	1.78	2.22	2.56	3	3.33
10KHZ	1.44	1.78	2.22	2.56	3	3.33
100HZ	1.44	1.78	2.22	2.56	3	3.33
10HZ	1.56	1.89	2.33	2.67	3.11	3.44
5HZ	1.44	1.78	2.22	2.56	3	3.33

و نلاحظ من الجدول (٣) أن القيمة العظمى لزمن انتشار البيانات عبر مراحل النظام المتزامن جزئياً / شبه المتزامن تبلغ ٤ ميكروثانية وذلك من أجل ثمان مراحل من قنوات المعالجة المتوازية وعند تردد بقيمة ١٠٠

ميغاهرتز، في حين بلغت القيمة الصغرى لهذا الزمن ما مقداره ١,٣ ميكروثانية لثلاث مراحل من قنوات المعالجة المتوازية عند تردد ٩٩٩ ميغاهرتز.

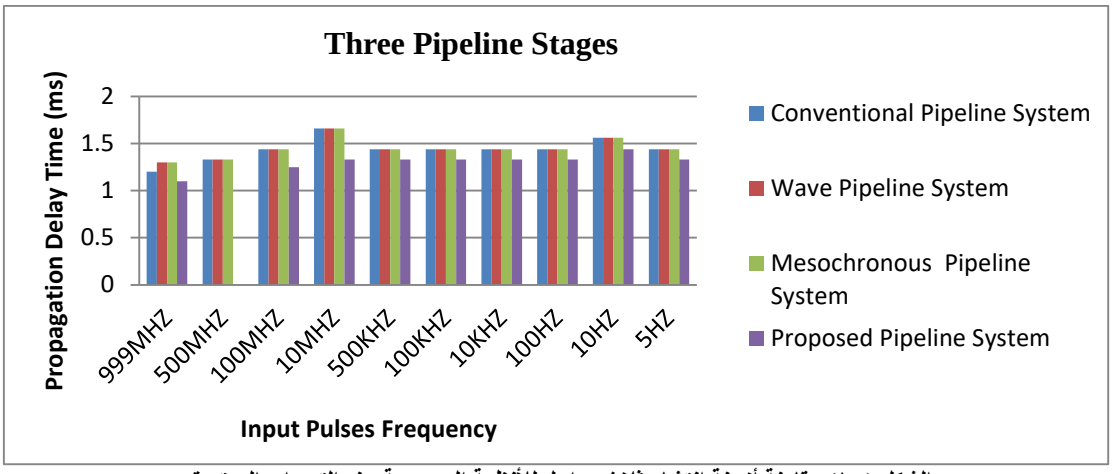
كما نلاحظ من الجدول (4) أن القيمة العظمى لزمن انتشار البيانات عبر مراحل النظام المقترح تبلغ ٣,٨٩ ميكروثانية وذلك من أجل ثمان مراحل من قنوات المعالجة المتوازية وعند تردد بقيمة ١٠ كيلوهرتز، في حين بلغت القيمة الصغرى لهذا الزمن ما مقداره ٨٨٨ نانوثانية لثلاث مراحل من قنوات المعالجة المتوازية عند تردد ٥٠٠ ميغاهرتز.

الجدول (٤): أزمنة انتشار البيانات باستخدام النظام المقترح

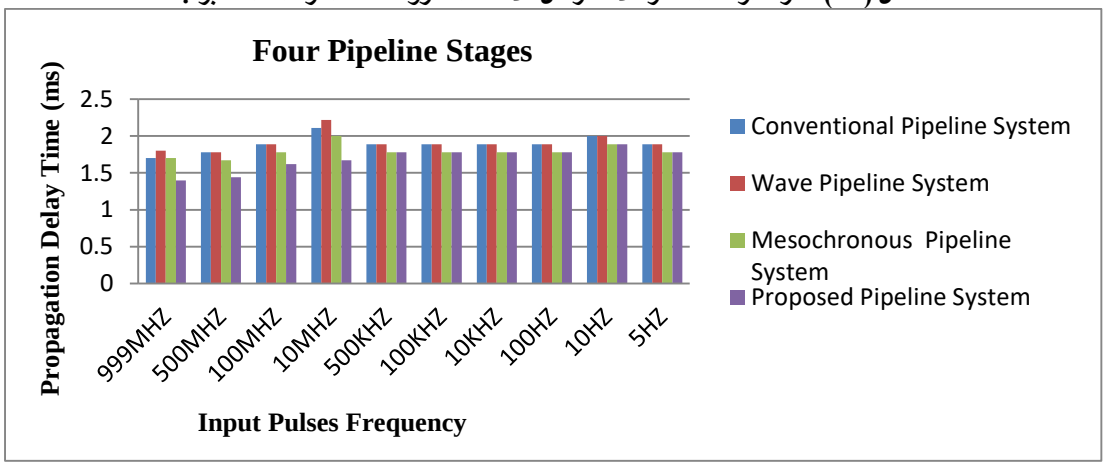
Input Pulses Frequency	Proposed Pipeline System											
	Three Stages		Four Stages		Five Stages		Six Stages		Seven Stages		Eight Stages	
	No Logic (µsec)	With Logic (µsec)	No Logic (µsec)	With Logic (µsec)	No Logic (µsec)	With Logic (µsec)	No Logic (µsec)	With Logic (µsec)	No Logic (µsec)	With Logic (µsec)	No Logic (µsec)	With Logic (µsec)
999MHZ	1.1	1.1	1.4	1.4	1.8	1.8	2.2	2.2	2.6	2.6	2.9	2.9
500MHZ	888ns	888ns	1.44	1.44	1.78	1.78	2.1	2.1	2.56	2.56	2.5	2.5
100MHZ	1.25	1.25	1.62	1.62	2.1	2.1	2.5	2.5	2.87	2.87	3.25	3.25
10MHZ	1.33	1.33	1.67	1.67	2	2	2.44	2.44	2.78	2.78	3.11	3.11
500KHZ	1.33	1.33	1.78	1.78	2.33	2.33	2.78	2.78	3.2	3.2	3.56	3.56
100KHZ	1.33	1.33	1.78	1.78	2.33	2.33	2.78	2.78	3.3	3.3	3.78	3.78
10KHZ	1.33	1.33	1.78	1.78	2.33	2.33	2.78	2.78	3.3	3.3	3.78	3.78
100HZ	1.33	1.33	1.78	1.78	2.33	2.33	2.78	2.78	3.3	3.3	3.78	3.78
10HZ	1.44	1.44	1.89	1.89	2.44	2.44	2.89	2.89	3.4	3.4	3.89	3.89
5HZ	1.33	1.33	1.78	1.78	2.33	2.33	2.78	2.78	3.3	3.3	3.78	3.78

بعد ذلك تمت مقارنة أزمنة الانتشار للبيانات من خلال الصور ذات الأرقام (١٠) حتى (١٥). وباعتبار أن حالة وجود المنطق (With Logic) هي الحالة العملية فقد تم إدراج بيانات هذه الحالة في عملية المقارنة لأزمنة انتشار البيانات عبر المراحل المختلفة للنظم المدروسة في هذا البحث من خلال أرقام الصور المذكورة أعلاه. من أجل ثلاث و أربع مراحل خطوط أنابيب نجد أن النظام المقترح حقق أقل زمن انتشار عند الترددات المعتمدة في الدراسة أي المجال من ٥ هرتز حتى ٩٩٩ ميغاهرتز، ومن أجل خمس وست وسبع وثمان مراحل تفوق النظام التزامني / شبه المتزامن على النظام المقترح عند الترددات ٥ هرتز حتى ٥٠٠ كيلوهرتز، بينما بقي زمن تدفق البيانات أصغر مع النظام المقترح من أجل الترددات من ١٠ ميغاهرتز وحتى ٩٩٩ ميغاهرتز وبالتالي يمكن اعتماد النظام المقترح مع الترددات العالية ضمن هذه المجالات المدروسة. وبالتالي، لم يحقق

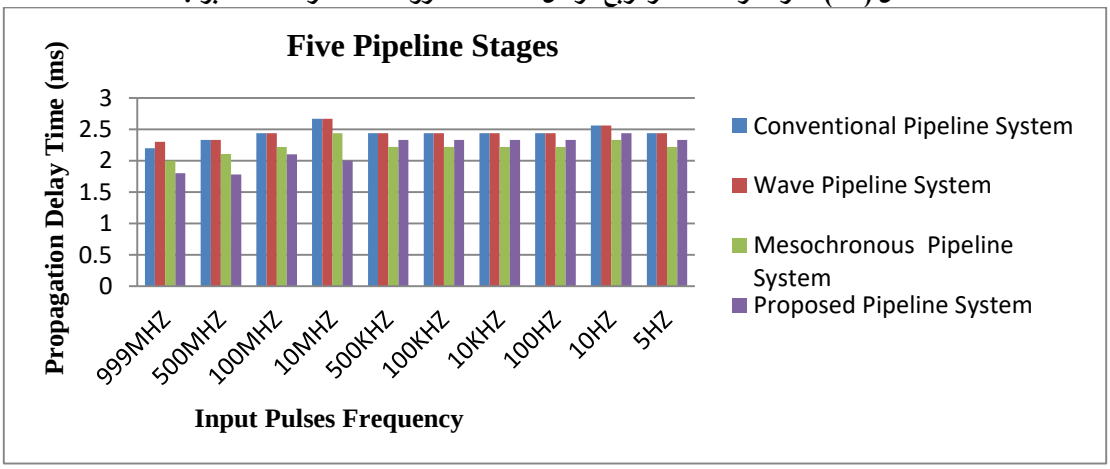
النظام المقترح زمن انتشار بيانات أصغري من أجل خمس وست وسبع وثمان مراحل عند الترددات ٥ هرتز حتى ٥٠٠ كيلوهرتز.



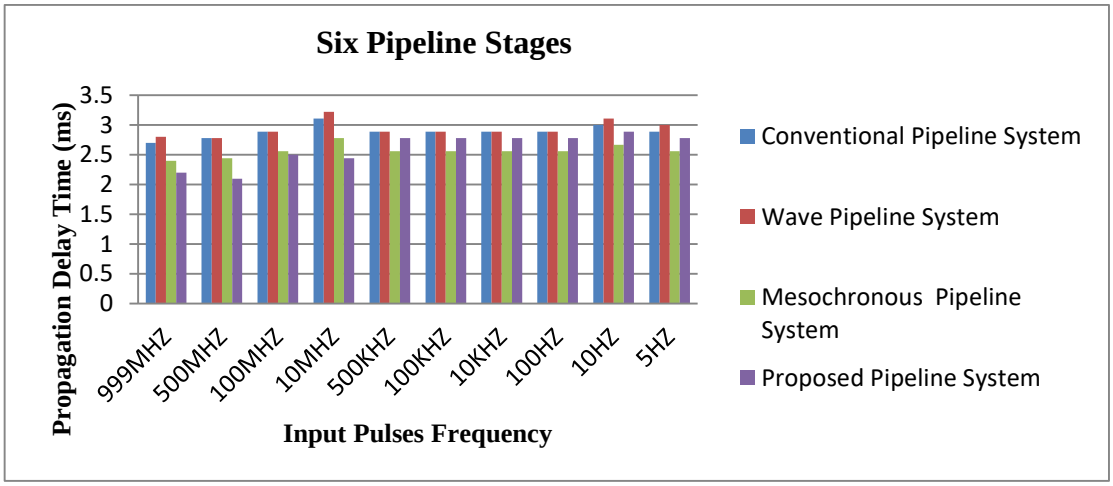
الشكل (١٠) مقارنة أزمنة انتشار ثلاث مراحل للأنظمة المدروسة عند الترددات المعتبرة.



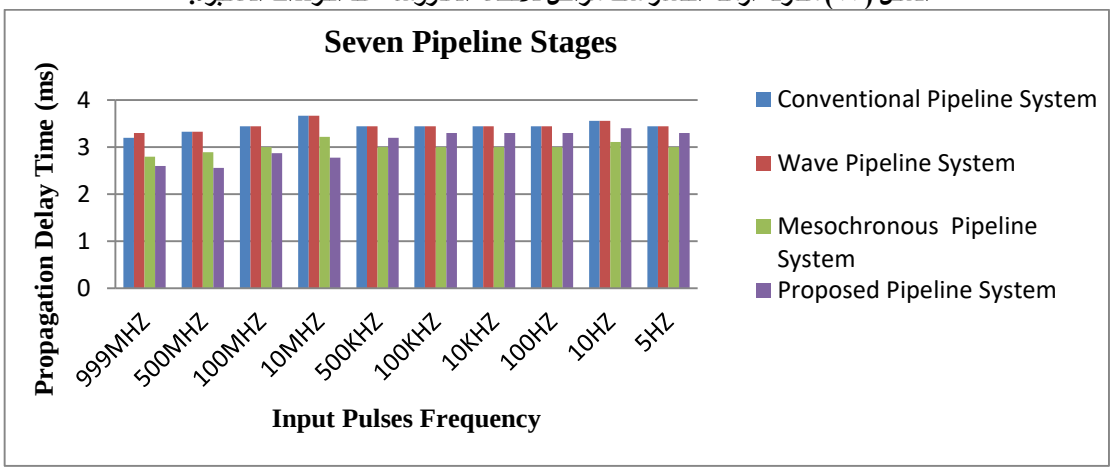
الشكل (١١) مقارنة أزمنة انتشار أربع مراحل للأنظمة المدروسة عند الترددات المعتبرة.



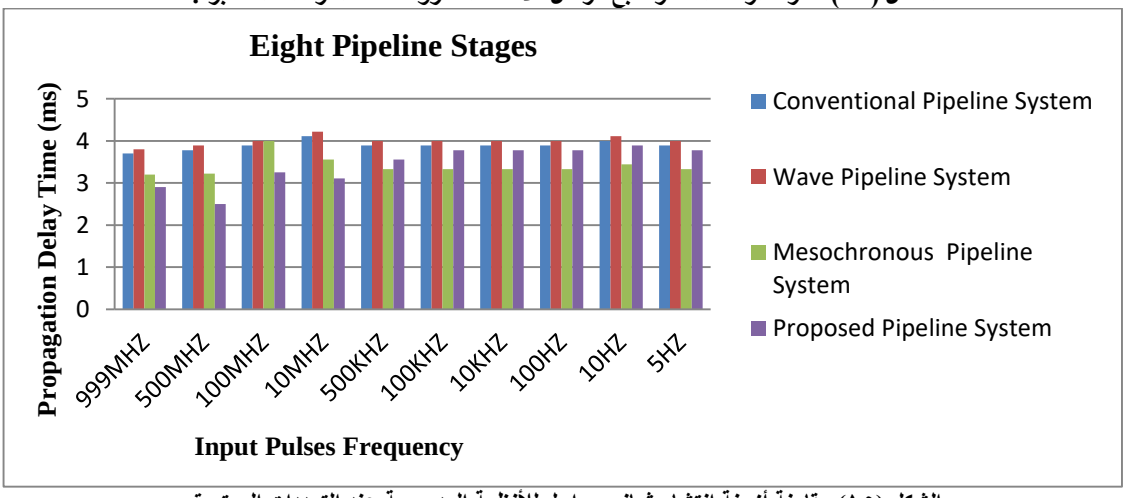
الشكل (١٢) مقارنة أزمنة انتشار خمس مراحل للأنظمة المدروسة عند الترددات المعتبرة.



الشكل (١٣) مقارنة أزمنة انتشار ست مراحل للأنظمة المدروسة عند الترددات المعتبرة.



الشكل (١٤) مقارنة أزمنة انتشار سبع مراحل للأنظمة المدروسة عند الترددات المعتبرة.



الشكل (١٥) مقارنة أزمنة انتشار ثماني مراحل للأنظمة المدروسة عند الترددات المعتبرة.

٥- الاستنتاجات والتوصيات:

تم في البحث الحالي دراسة وتحليل زمن انتشار البيانات عبر المراحل المتعددة لعدة أنظمة خطوط أنابيب (معالجة بالتجزئة للبيانات) خلال ترددات مختلفة. تم اعتماد مجال تردد نبضات دخل من ٥ هرتز وحتى ٩٩٩ ميغاهرتز ومراحل معالجة بالتجزئة من ثلاث حتى ثماني مراحل وذلك مع كل من النظام التقليدي والنظام الموجي والنظام المتزامن جزئياً / شبه المتزامن، بالإضافة إلى إقتراح نظام يتغلب على حالة نصف المنطق. وقد بيّنت نتائج النمذجة بالإعتماد على برنامج Electronics Workbench صلاحية النظام المقترح للعمل مع ترددات تزيد عن ١٠ ميغاهرتز عند استخدام مراحل معالجة بيانات بالتجزئة تزيد عن أربعة من أجل ضمان زمن انتشار (تدفق) بيانات أصغري. أما مع عدد مراحل خطوط أنابيب تقل عن أربع مراحل، فإن النظام المقترح قادر على المحافظة على قيمة صغرى للزمن المذكور من مرتبة ٨٨٨ نانوثانية وحتى ٣,٨٩ ميكروثانية وذلك على كامل مجال الترددات من ٥ هرتز وحتى ٩٩٩ ميغاهرتز. من ناحية أخرى، لم يحقق النظام المقترح زمن انتشار بيانات أصغري من أجل خمس وست وسبع وثمان مراحل عند الترددات ٥ هرتز حتى ٥٠٠ كيلوهرتز.

يُوصى مستقبلا" باستخدام تقنيات أكثر تطورا" مثل اعتماد نظم قنوات المعالجة المتوازية (المعالجة بالتجزئة) القابلة لإعادة التهيكل في الزمن الحقيقي (Real Time Reconfigurability) وبالتالي مناسبتها للاستخدام مع تقنيات انترنيت الأشياء (حسب توصيات الباحثين) في هذا المجال مما يكون له أثر في التقليل من استهلاك الطاقة واستهلاك الموارد المستخدمة من العتاد الصلب المناسب لتطبيقها كلوحات البوابات المنطقية القابلة للبرمجة (FPGA).

References

[1] SOLIMAN, W.G., RAMA KOTI REDDY, D.V., et al. 2020, Reconfigurable Microarchitecture-based PMDC Prototype Development for IoT Edge Computing Utilization. in *IEEE Sensors Journal*. (IEEE Publisher). DOI: https://doi.org/10.1109/JSEN.2020.3020362.

[2] SOLIMAN, W.G., RAMA KOTI REDDY, D.V., et al. 2020, Proposed Pipeline Clocking Scheme for Microarchitecture Data Propagation Delay Minimization. In: Chowdary P., Chakravarthy V., Anguera J., Satapathy S., Bhateja V. (eds) Microelectronics, Electromagnetics and Telecommunications. Lecture Notes in Electrical Engineering, vol 655. Springer, Singapore. (SPRINGER Publisher). DOI: https://doi.org/10.1007/978-981-15-3828-5_8.

[3] ZHOU, L., XIAO, S., WANG, H., WANG, J., XU, Z., WANG, B., & YU, Z. 2024, Toward Efficient Asynchronous Circuits Design Flow Using Backward Delay Propagation Constraint. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, *32*(10), 1852-1863.

[4] NANDIGAM, S. K., LAKSHMI, D. V., PRASANNA, B. P. S., & REDDY, D. V. R. K. 2022, A new method for self-organized dynamic delay loop associated pipeline with reconfigurable computing system. *International Journal of Electrical and Computer Engineering*, *12*(4), 3530.

[5] SZUCS, J., HAWICH, M., & BLUME, H. 2024, Optimizing risc-v processor performance with adaptive execution unit lengths in harsh environment condition. In *2024 Panhellenic Conference on Electronics & Telecommunications (PACET)* (pp. 1-5). IEEE.

[6] TARASOV, I. E., SOVIETOV, P. N., & LULYAVA, D. V. 2025, Method for designing specialized computing systems on the basis of hardware and software cooptimization. *RUSSIAN*, 44.

[7] MACH, J., KOHÚTKA, L., & ČIČÁK, P. 2023, In-pipeline processor protection against soft errors. *Journal of Low Power Electronics and Applications*, *13*(2), 33.

[8] ADEGBIJA, T., ROGACS, A., PATEL, C. AND GORDON-ROSS, A. 2017, Microprocessor optimizations for the internet of things: A survey. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 37(1). Pp.7-20.

[9] ADEGBIJA, T., LYSECKY, R. AND KUMAR, V.V. 2019, Right-Provisioned IoT Edge Computing: An Overview. In Proceedings of the 2019 on Great Lakes Symposium on VLSI. Pp. 531–536.

[10] أ. د. محمد العدوي. ٢٠١٧، المتحكمات AVR...البرمجة والتطبيق. كلية الهندسة بحلوان. جامعة حلوان. القاهرة. مصر.